

QÜESTIONS

1. Si un dispositiu connectat al bus I2C es adreçat i no pot atendre encara la sol·licitud: ¿Qué fa?. ¿Cóm?
2. Descriure breument el nivell físic del bus USB.
3. En el bus CAN, el camp que segueix immediatament al bit de *start* es el camp d'arbitratge, que conté els bits d'identificació. ¿Quina és la missió d'aquest camp i qué identifica?
4. En una línia de Bus d'impedancia $Z_L=100\Omega$ i terminada per resistències de 100Ω : Quin és el mínim corrent que han de donar els *Drivers* si els nivells lògics son $V_{IH}=2.4V$ i $V_{IL}=0.6V$?

PROBLEMES**TEMA 1****• Problema 1:**

En el fitxer *hard.c* que s'utilitza a les pràctiques de laboratori conté, entre altres, les següents funcions:

```
#define PFE_INT      0xA2

void EnableBusAD( unsigned ALE )
{
    static union REGS inregs, outregs;

    inregs.h.ah = 0x80; /* Servei d'INT = 0x80 */
    inregs.h.al = ALE; /* 0: Deshabilitar ALE. 1: Habilitar ALE */
    inregs.x.dx = 0xFFFF; /* 0: Input. 1: Output */

    int86( PFE_INT, &inregs, &outregs );
}

unsigned char ReadBusAD( unsigned long direccio )
{
    unsigned char valor;

    valor = ( inportb( direccio ) );
    return valor;
}

void WriteBusAD( unsigned char valor, unsigned long direccio )
{
    outportb( direccio, ( unsigned char ) valor );
}
```

1. Què fa cada una d'aquestes funcions i com ho fa?
2. Quina és la missió de la unió REGS ?
3. La funció void EnableBusAD(unsigned ALE). És compatible amb les altres dues?. Perquè?
4. En cas negatiu, quina modificació caldria?

TEMA 2

• Problema 2:

Es considera un sistema digital que treballa amb un senyal de rellotge *clk* i que rep en sèrie dades externes que arriben a una entrada anomenada *sdata*. Aquestes són generades amb un senyal de rellotge independent amb una freqüència igual a la del senyal *clk*. Internament el sistema considerat disposa d'un subsistema que permet obtenir un senyal de rellotge en fase amb el senyal *clk* però de freqüència dues vegades més gran. Aquest senyal de rellotge de freqüència doble s'anomena *clk2* i s'utilitza per generar un senyal intern, anomenat *clk_q*, segons es mostra a la figura 1.

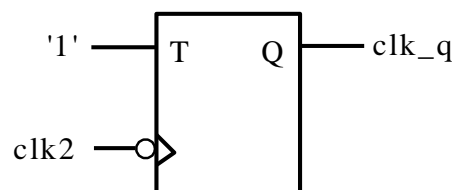


Figura 1.

En aquestes condicions es demana:

1. Indicar de forma raonada quina és la relació de fase entre els senyals *clk* i *clk_q*.
2. Dins del sistema considerat s'utilitza un sistema com el mostrat a la figura 2

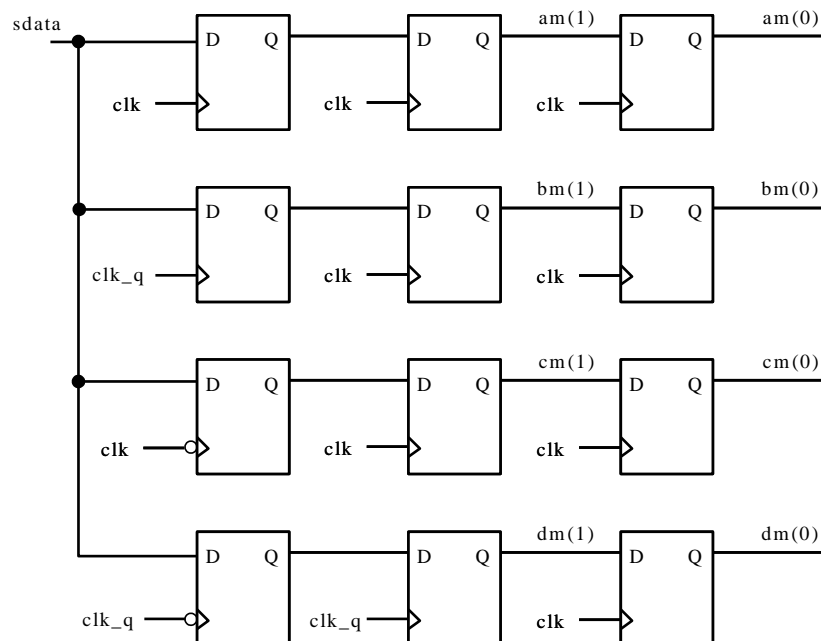


Figura 2.

Tenint en compte que la segona columna de registres s'utilitza únicament per resoldre possibles problemes de metastabilitat, indicar quina pot ser la funcionalitat d'aquest sistema.

- Utilitzant únicament funcions lògiques combinacionals, modificar de forma raonada el sistema mostrat a figura 2 per tal que sigui capaç de produir a la seva sortida una mostra correcta del senyal d'entrada *sdata*. **Nota:** Per resoldre aquest apartat és convenient tenir present les 4 possibles situacions del senyal *sdata* respecte al senyal *clk* que es mostren a la figura 3.

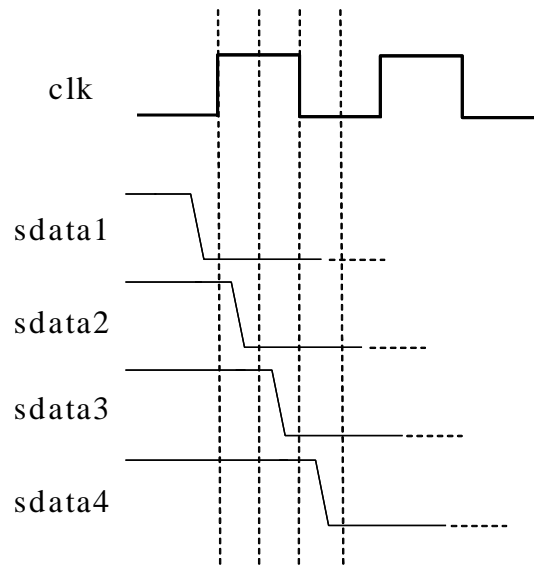


Figura 3.

• Problema 3:

Donada la següent descripció d'una arquitectura en llenguatge VHDL:

```
architecture comportament of examen is
  signal q0, q1, q2, clearn_int: std_logic;
begin
  proces_1:process(clearn_int,extern)
  begin
    if (clearn_int='0') then
      q0 <= '0';
    elsif (extern'event and extern='1') then
      q0 <= '1';
    end if;
  end process;

  proces_2:process
  begin
    wait until (clk'event and clk='1');
    if(clearn_int='0') then
      q1 <= '0';
    else
      q1 <= q0;
    end if;
  end process;
```

```

proces_3:process
begin
    wait until (clk'event and clk='1');
    if (clearn_int='0') then
        q2 <= '0';
    else
        q2 <= q1;
    end if;
end process;

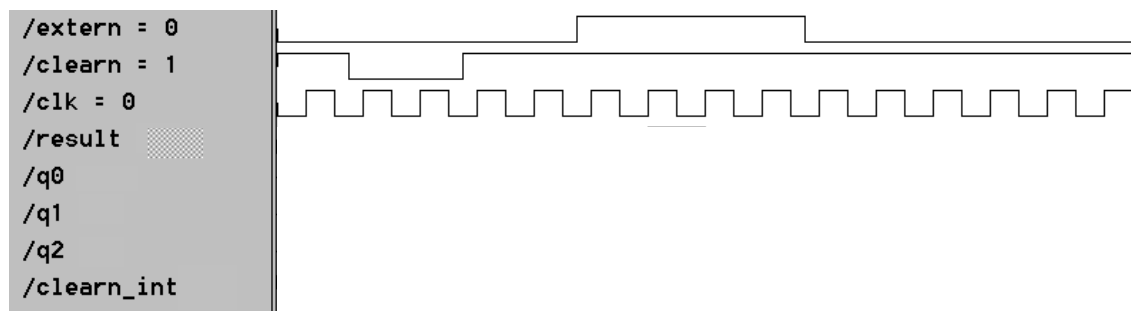
clearn_int <= '0' when ((clearn='0') or (q1='1' and q2='1'))
                else '1';

result <= '1' when (q1='1' and q2='1')
                else '0';
end comportament;

```

es demana:

- Explicar de forma raonada la funcionalitat d'aquesta arquitectura, fent èmfasi especial a la relació entre els senyals $q0$, $q1$, $q2$, $clearn_int$ i $result$ respecte al senyal *extern*.
- D'acord amb el resultat de l'apartat a), omplir el següent cronograma:



• Problema 4:

Donada la següent descripció d'una arquitectura en llenguatge VHDL:

```

architecture comportament of sistema is
    signal q0, clearn_int: std_logic;
    signal q1: std_logic_vector(2 downto 0);
begin
    proces_1:process
    begin
        wait until (clk'event and clk='1');
        if (clearn_int='0') then
            q0 <= '0';
        elsif (extern='1') then
            q0 <= '1';
        end if;
    end process;

    proces_2:process
    begin
        wait until (clk'event and clk='1');
        if (clearn_int='0') then

```

```

        q1 <= "000";
    elsif (q0='1') then
        q1 <= q1 + "1";
    end if;
end process;

clearn_int <= '0' when ((clearn='0') or (q1="110"))
              else '1';

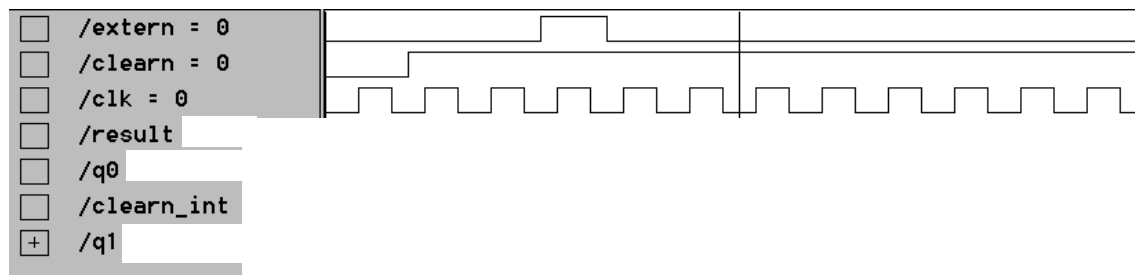
result <= '1' when (q1="110")
           else '0';

end comportament;

```

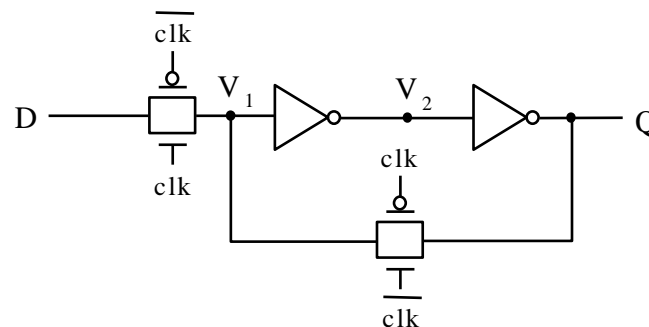
es demana:

- 1) Explicar de forma raonada la funcionalitat d'aquesta arquitectura, fent èmfasi especial a la relació entre els senyals q0, q1, clearn_int i result respecte al senyal extern.
- 2) D'acord amb el resultat de l'apartat 1), omplir el següent cronograma:



• Problema 5:

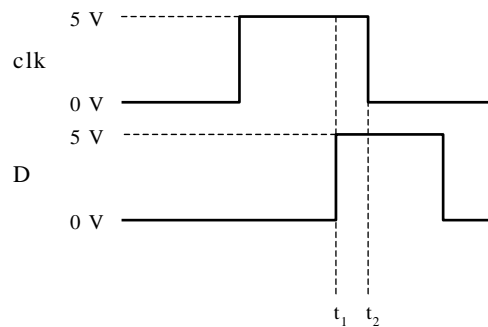
Es considera un sistema amb una estructura com la mostrada a la següent figura:



Per aquest sistema es demana:

1. Identificar, de forma detallada i raonada, la funcionalitat corresponent al sistema proposat.
2. Es suposa que, quan estan actives, les portes de transmissió es poden modelar com a una resistència equivalent $R_{eq} = 230 \Omega$. Igualment, es suposa que la impedància d'entrada d'un inversor es pot modelar amb una capacitat equivalent $C_{eq} = 0.5 \text{ pF}$. En aquestes condicions, i suposant que la desconexió d'una porta de transmissió és instantània, es demana:

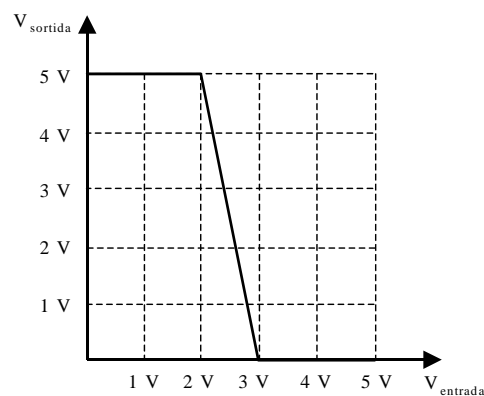
- a) Si els senyals D i clk segueixen una seqüència com la mostrada a la següent figura:



determinar els valors de tensió i els nivells lògics associats als nusos V_1 i V_2 del sistema a partir de l'instant t_2 , tenint en compte les dades següents:

$$V_1(t_1) = 0 \text{ V}, t_2 - t_1 = 79.695 \text{ ps}, V_{IHmin} = 3 \text{ V}, V_{ILmax} = 2 \text{ V}$$

Característica d'entrada/sortida dels inversors:



- b) Tenint en compte els resultats obtinguts a l'apartat anterior, explicar de forma raonada si la seqüència de senyals especificada pot representar un problema per a la funcionalitat del sistema.
- c) Si el senyal clk es manté a 0 V i sobre el nivell de tensió V_1 determinat a l'apartat a) es superposa, degut a efectes de diafonia, un valor de tensió (positiu) de 0.1 V, determinar els valors finals de les tensions V_1 i V_2 .
3. A partir de les dades i resultats d'apartats anteriors, determinar l'interval de temps $t_2 - t_1$ per tal que el funcionament del sistema sigui correcte. Com s'anomena habitualment aquest interval de temps?

• Problema 6:

Es considera un sistema donat per la següent descripció VHDL:

```
entity subsistema_1 is
  port(
    data_in: in std_logic;
    data_out: out std_logic;
    sel: in std_logic_vector(2 downto 0);
    clk: in std_logic;
    clearn: in std_logic
  );
end subsistema_1;

architecture comportament of subsistema_1 is
```

```

signal reg: std_logic_vector(7 downto 0);
begin
    process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0') then
            reg <= "00000000";
        else
            reg <= reg(6 downto 0)&data_in;
        end if;
    end process;
    with sel select
    data_out <=
        reg(7) when "111",
        reg(6) when "110",
        reg(5) when "101",
        reg(4) when "100",
        reg(3) when "011",
        reg(2) when "010",
        reg(1) when "001",
        reg(0) when others;
end comportament;

```

Es demana:

- a) Explicar, **de forma raonada i detallada**, quina és la funció que realitza el sistema proposat, indicant amb claredat quina és la relació entre els senyals ***data_out*** i ***data_in***.

A continuació es considera la següent descripció VHDL:

```

process
begin
    wait until (clk'event and clk='1');
    if (clearn='0') then
        reg_f <= "00";
    else
        reg_f <= reg_f(0)&signal_b;
    end if;
end process;
r_count <= '0' when (reg_f="10")
           else '1';

```

Considerant que el senyal ***signal_b*** és un senyal d'entrada d'un bit, es demana:

- b) Indicar clarament la relació que hi ha entre l'activació i desactivació del senyal ***r_count*** i els canvis al senyal ***signal_b***.

El codi VHDL considerat a l'apartat s'utilitza aleshores dins d'un sistema amb una descripció com la que es mostra a continuació:

```

entity p_comp is
port(
    signal_a: in std_logic;
    signal_b: in std_logic;
    p_out: out std_logic_vector(2 downto 0);
    clk: in std_logic;
    clearn: in std_logic
);
end p_comp;

architecture comportament of p_comp is
signal p: std_logic;
signal p_count: std_logic_vector(2 downto 0);
signal reg_f: std_logic_vector(1 downto 0);

```



```

signal r_count: std_logic;
function increment(val:std_logic_vector) return std_logic_vector is
variable result: std_logic_vector(val'range);
variable carry: std_logic;
begin
    result(0) := not val(0);
    carry:= val(0);

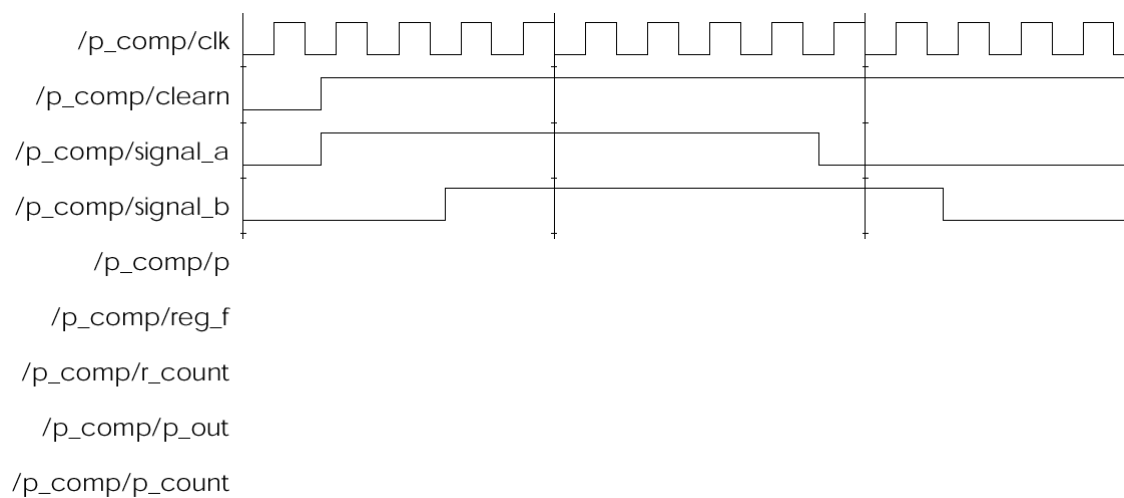
    for i in 1 to val'high loop
        carry:= carry and val(i-1);
        result(i):= val(i) xor carry;
    end loop;
    return result;
end increment;
begin
    comptador: process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0' or r_count='0') then
            p_count <= "000";
        elsif (p='1' and signal_a='1') then
            p_count <= increment(p_count);
        end if;
    end process;
    process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0') then
            reg_f <= "00";
        else
            reg_f <= reg_f(0)&signal_b;
        end if;
    end process;

    r_count <= '0' when (reg_f="10")
               else '1';
    p_out <= p_count;
    p <= signal_a xor signal_b;
end comportament;

```

En aquesta descripció la funció increment més el procés anomenat comptador constitueixen un comptador binari sincron de 3 bits. Per a aquesta descripció es demana:

c) Omplir de forma raonada el cronograma que es presenta a continuació:



d) A partir del resultat obtingut a l'apartat c), indicar quina pot ser la funció d'aquest sistema.

Finalment, les entitats *subsistema_1* i *p_comp* que s'han analitzat a apartats anteriors es fan servir per construir un sistema que té la següent descripció VHDL:

```
entity sistema is
port(
    signal_a: in std_logic;
    signal_b: in std_logic;
    signal_out: out std_logic;
    clk: in std_logic;
    clearn: in std_logic
);
end sistema;

architecture estructural of sistema is
    signal signal_d: std_logic;
    signal p_sel: std_logic_vector(2 downto 0);
    component subsistema_1
    port(
        data_in: in std_logic;
        data_out: out std_logic;
        sel: in std_logic_vector(2 downto 0);
        clk: in std_logic;
        clearn: in std_logic
    );
    end component;
    component p_comp
    port(
        signal_a: in std_logic;
        signal_b: in std_logic;
        p_out: out std_logic_vector(2 downto 0);
        clk: in std_logic;
        clearn: in std_logic
    );
    end component;
begin
    block_1: subsistema_1
    port map(signal_a, signal_d, p_sel, clk, clearn);
    block_2: p_comp
    port map(signal_a, signal_b, p_sel, clk, clearn);
    signal_out <= signal_d;
end estructural;
```

Per a aquest sistema, es demana:

- e) Omplir de forma raonada el cronograma que s'adjunta al final d'aquest document.
- f) Tenint en compte el resultat de l'apartat f), quina pot ser la funció d'aquest sistema?
En concret, quina serà la relació entre els senyals *signal_a*, *signal_b* i *signal_out*?

• Problema 7:

Es considera un sistema amb una funcionalitat com la donada per la següent descripció en llenguatge VHDL:

```
entity examen is
port(
    data: in std_logic;
    clearn: in std_logic;
```

```

        enable: in std_logic;
        clk: in std_logic;
        sample_id: out std_logic_vector(1 downto 0);
        sample_OK: out std_logic
    );
end examen;

architecture comportament of examen is

    signal count_samples: std_logic_vector(3 downto 0);
    signal shift_in: std_logic_vector(12 downto 0);
    signal tran: std_logic_vector(11 downto 0);
    signal det_0, det_1, det_2: std_logic_vector(2 downto 0);

    component sumador_4in
    port(a,b,c,d: in std_logic; s: out std_logic_vector(2 downto 0));
    end component;

begin

    internal_count: process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0') then
            count_samples <= "0000";
        elsif (enable='1' and (count_samples/="1100")) then
            count_samples <= count_samples + "1";
        end if;
    end process;

    sample_OK <= '1' when count_samples="1100"
                else '0';

    shift_reg: process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0') then
            shift_in <= "00000000000000";
        elsif (enable='1') then
            shift_in <= shift_in(11 downto 0)&data;
        end if;
    end process;

    tran <= shift_in(12 downto 1) xor shift_in(11 downto 0);

    suma_0: sumador_4in
    port map(tran(0), tran(3), tran(6), tran(9), det_0);

    suma_1: sumador_4in
    port map(tran(1), tran(4), tran(7), tran(10), det_1);

    suma_2: sumador_4in
    port map(tran(2), tran(5), tran(8), tran(11), det_2);

    sample_id <= "00" when ((det_0 <= det_1) and (det_0 <= det_2))
                else "01" when ((det_1 <= det_0) and (det_1 <= det_2))
                else "10";

end comportament;

```

A aquesta descripció el component anomenat *sumador_4in* és un sumador de 4 entrades. És a dir, es tracta d'un component que té 4 entrades i que proporciona a la sortida el codi binari que representa el nombre d'entrades que es troben a nivell '1'. Suposarem a més que el senyal *data* és un senyal d'entrada sèrie, i que el senyal de rellotge del sistema, *clk*, té una freqüència més alta que la utilitzada per generar el senyal *data*.

Una de les utilitats de la funció lògica XOR és detectar diferències entre els valors de les seves dues entrades. Per tant, si aquestes entrades corresponen a mostres desplaçades d'un mateix senyal, la funció XOR ens permetrà detectar transicions sobre aquest senyal.

En aquestes condicions, es demana:

- Indicar quina és la funcionalitat dels senyals *det_0*, *det_1* i *det_2*.
- Indicar quina és la funcionalitat del senyal *sample_id*, i per tant quina podria ser la funcionalitat global del sistema mostrat.
- A partir de les respostes donades als apartats anteriors, omplir de forma raonada el cronograma que es mostra al final d'aquest document.
- Si suposem que la freqüència de rellotge del sistema és 3 vegades més gran que la freqüència amb la qual es genera el senyal *data*, indicar els components que s'haurien d'afegir al sistema per tal que aquest sigui capaç de donar una mostra **correcta** del senyal *data* amb la mateixa freqüència d'aquest senyal.

• Problema 8:

Es considera un sistema amb una funcionalitat definida pel següent codi VHDL:

```
library ieee;
use ieee.std_logic_1164.all;

entity det_f is
port(
    data_s: in std_logic;
    clk: in std_logic;
    clearn: in std_logic;
    detect: out std_logic
);
end det_f;

architecture comportament of det_f is
    signal q: std_logic_vector(1 downto 0);
begin
    funcionalitat: process
    begin
        wait until (clk'event and clk='1');
        if (clearn='0') then
            q <= "00";
        else
            q <= q(0)&data_s;
        end if;
    end process;

    detect <= '1' when (q = "10")
             else '0';
end comportament;
```

En aquestes condicions, es demana:

- 1) Explicar de forma raonada quina és la funcionalitat d'aquest sistema.

A continuació aquest sistema s'utilitza com a component d'un sistema amb una funcionalitat definida pel següent codi VHDL:

```

library ieee, work;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
use work.all;

entity examen is
port(
    data_s: in std_logic;
    clk: in std_logic;
    clearn: in std_logic;
    sample_rate: out std_logic_vector(2 downto 0)
);
end examen;

architecture comportament of examen is
component det_f
port(
    data_s: in std_logic;
    clk: in std_logic;
    clearn: in std_logic;
    detect: out std_logic
);
end component;
signal frame_ini, frame_active: std_logic;
signal q_3bit: std_logic_vector(2 downto 0);
signal q_6bit: std_logic_vector(5 downto 0);
signal sample_shift: std_logic_vector(5 downto 0);
begin

detecta: det_f
port map(data_s=>data_s,clk=>clk,clearn=>clearn,detect=>frame_ini);

count_3bit: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0' or q_3bit(2)='1') then
        q_3bit <= "000";
    elsif (frame_ini='1' and frame_active='1') then
        q_3bit <= q_3bit + "1";
    end if;
end process;

count_6bit: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0' or q_3bit(2)='1') then
        q_6bit <= "000000";
    elsif (frame_active='1') then
        q_6bit <= q_6bit + "1";
    end if;
end process;

frame: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0' or q_3bit(2)='1') then
        frame_active <= '0';
    elsif (frame_ini='1') then
        frame_active <= '1';
    end if;
end process;

sample_shift <= "000"&q_6bit(5 downto 3);

```

```

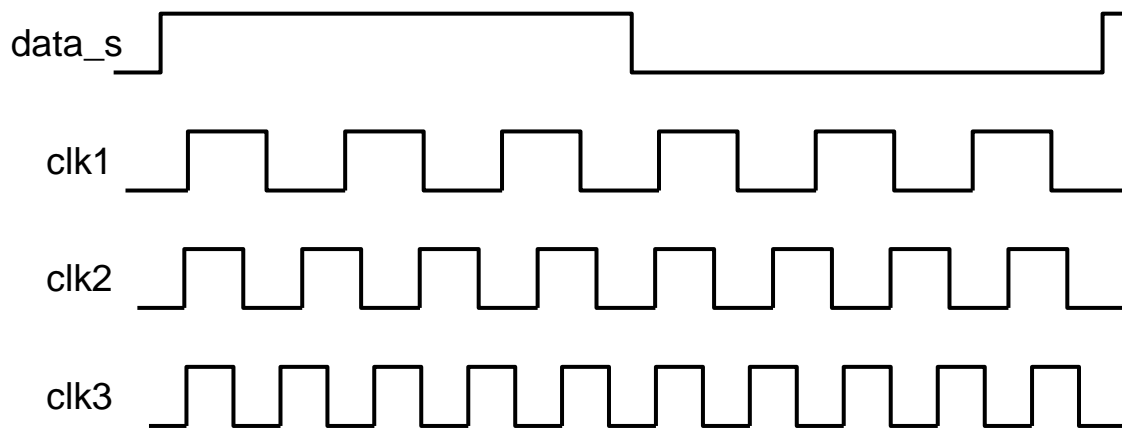
sel_sample: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0') then
        sample_rate <= "000";
    elsif (q_3bit(2)='1') then
        sample_rate <= sample_shift(2 downto 0);
    end if;
end process;
end comportament;

```

A partir d'aquesta descripció es demana:

2) Omplir el cronograma que es troba al final d'aquest document.

Tenint en compte el que s'ha determinat en apartats anteriors, es considera la utilització del sistema en una situació a la qual el senyal de rellotge d'entrada pot variar d'acord amb les versions **clk1**, **clk2** i **clk3** representades a la següent figura, a la qual també es mostra la relació entre el senyal de rellotge i el senyal d'entrada **data_s**.



Sota aquestes condicions, es fa una substitució de la sortida **sample_rate** per una nova sortida, anomenada **sample_id**, el procés etiquetat com a **sel_sample** es modifica d'acord amb la següent descripció VHDL:

```

sel_sample: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0') then
        sample_rate <= "000";
    elsif (q_3bit(2)='1') then
        if (sample_shift < "110") then
            sample_id <= "10";
        else
            sample_id <= "11";
        end if;
    end if;
end process;

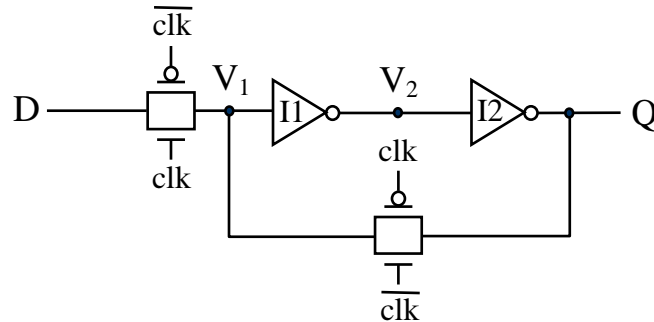
```

Donades aquestes modificacions, es demana:

3) Indicar de forma raonada quina és la funció que pot realitzar el sistema.

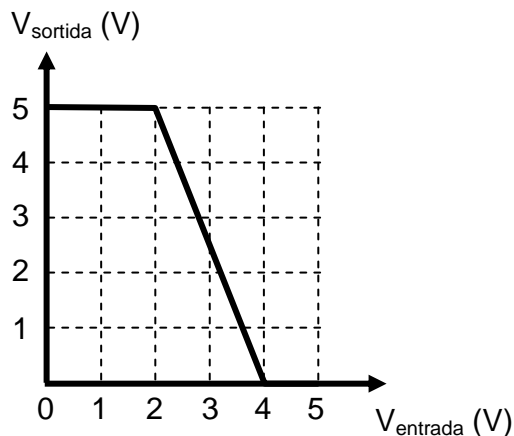
• Problema 9:

Es considera un sistema amb una estructura com la mostrada a la següent figura:

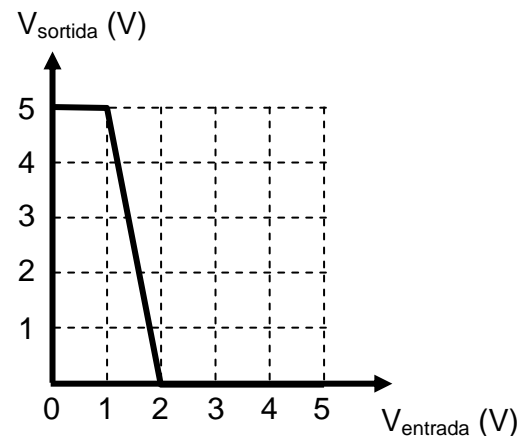


Les característiques d'entrada/sortida dels inversors I1 i I2 es poden aproximar per les funcions mostrades a continuació:

Inversor I1

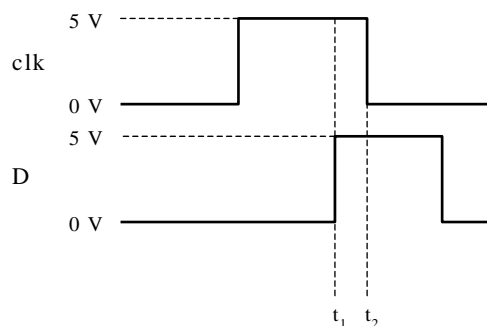


Inversor I2



Se suposa que, quan estan actives, les portes de transmissió es poden modelar com a una resistència equivalent $R_{eq} = 500 \, \Omega$. Igualment, es suposa que la impedància d'entrada d'un inversor es pot modelar amb una capacitat equivalent $C_{eq} = 3 \, \text{pF}$. Així mateix, es considera que, a efectes pràctics, el driver connectat a l'entrada D es comporta com a una font de tensió ideal amb una impedància sèrie 0. En aquestes condicions, i suposant que la desconexió d'una porta de transmissió és instantània, es demana:

- a) Si els senyals D i clk segueixen una seqüència com la mostrada a la següent figura:



determinar el valor de tensió associat als nus V_1 a l'instant t_2 , tenint en compte les dades següents: $V_1(t_1) = 0$ V, $t_2 - t_1 = 1$ ns

- b) Determinar, de forma raonada, quina és l'evolució i el valor final dels nusos V_1 i V_2 a partir de l'instant t_2 .
- c) Calcular quin ha de ser el valor $t_2 - t_1$ al sistema considerat per tal que l'enregistrament del valor lògic del senyal D es pugui produir de forma correcta a la situació mostrada a l'apartat a). Com s'anomena habitualment aquest valor?

• Problema 10:

Es considera el disseny del subsistema de recuperació de rellotge d'un sistema receptor que rep un senyal de dades anomenat rx . El protocol de transmissió utilitza per a cada trama de dades un camp de sincronisme que està constituït per una seqüència de valors lògics '1' i '0' alternats. El sistema de recuperació de rellotge s'encarrega de determinar en primer lloc el nombre de cicles del rellotge de sistema, clk , que hi ha entre un flanc de pujada i un flanc de baixada del senyal rx . Aquest procés es repetirà un cert nombre de vegades, de manera que el subsistema de recuperació haurà de donar el nombre total de cicles de rellotge obtingut al sumar el valor corresponent a totes les finestres de recuperació considerades.

En aquestes condicions, es demana:

- a) Representar el diagrama de blocs corresponent al component encarregat de sincronitzar el senyal rx .
- b) Representar el diagrama de blocs d'un sistema que permeti detectar els flancs de pujada i de baixada del senyal rx , una vegada aquest està sincronitzat.
- c) Representar el diagrama de blocs que genera el codi binari corresponent al nombre de cicles de rellotge del sistema que han transcorregut dins de l'interval de recuperació del senyal de rellotge. Aquest senyal es dirà n_cicles . Per realitzar el disseny cal tenir present que el període del senyal de rellotge del sistema serà com a molt 16 vegades inferior al període de bit del senyal rx . A més, el nombre d'interval·ls de compteig serà 8.

Nota: Als diagrames de blocs es poden utilitzar portes lògiques, registres individuals de qualsevol tipus i amplada, comptadors binaris sincrons de qualsevol amplada i sumadors binaris de qualsevol amplada. A tots els components del diagrama s'hauran d'indicar els senyals de rellotge i d'habilitació (si els components utilitzats els tenen). També caldrà indicar l'amplada en nombre de bits de tots els senyals utilitzats per interconnectar els components.

• Problema 11:

Es considera el disseny d'un sistema que disposa de tres entrades, **I**, **clk** i **n(3:0)** i dues sortides, **A** i **B**. L'entrada **clk** constitueix el senyal de rellotge del sistema. Es considera que el senyal **I** ja ha estat sincronitzat prèviament. És a dir, els canvis d'aquest senyal són produïts pel senyal de rellotge **clk**. El comportament del sistema bé donat pel següent principi de funcionament:

1. Quan es detecta un flanc de pujada al senyal **I** el sistema força el senyal **A** a un valor lògic '0', i després d'un cert nombre de períodes de rellotge el sistema força el senyal **B** a un valor lògic '1'.
2. Quan es detecta un flanc de baixada al senyal **I** el sistema força el senyal **B** a un valor lògic '0', i després d'un cert nombre de períodes de rellotge el sistema força el senyal **A** a un valor lògic '1'.

En aquestes condicions, es demana:

- d) Suposant que el senyal **I** és un senyal periòdic de període **T**, on $T \gg T_{clk}$ (període del senyal **clk**), representar la forma dels senyals **A** i **B** durant dos períodes del senyal **I**.
- e) Representar el diagrama de blocs del sistema que permet obtenir dos senyals, **I_pujada** i **I_baixada**, a partir del senyal **I**. Aquests senyals s'activaran durant un període del senyal **clk** quan es produeixi un flanc de pujada o de baixada, respectivament, al senyal **I**. Es poden utilitzar portes lògiques i registres individuals de qualsevol tipus i amplada. A tots els components del diagrama s'hauran d'indicar els senyals d'habilitació, rellotge i reset (si els components utilitzats en tenen).
- f) Indicar com el sistema dissenyat a l'apartat b) s'hauria de connectar al sistema mostrat a la figura 1 per tal de construir un sistema capaç de dur a terme la funció que es proposa.
- g) En el cas que $T = 1 \mu s$ i $T_{clk} = 10 ns$, determinar quina serà la separació temporal mínima entre un flanc de pujada del senyal **I** i un flanc de pujada del senyal **B**. En aquest cas, quin serà el valor del cycle de treball dels senyals **A** i **B**?

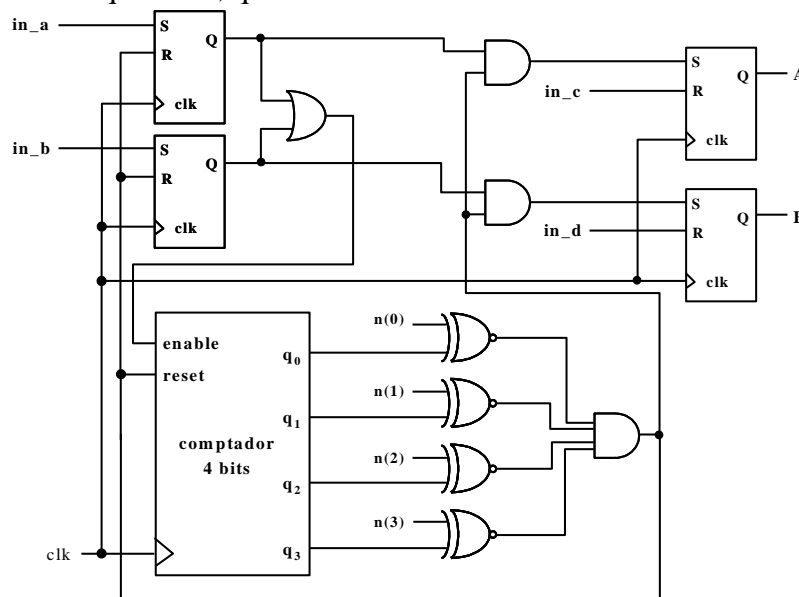


Figura 1.

• Problema 12:

Es considera un sistema receptor sèrie que ha de rebre dades d'un dispositiu extern mitjançant una entrada anomenada **data_in**. Dins d'aquest sistema es considera un subsistema com el mostrat a la figura 1.

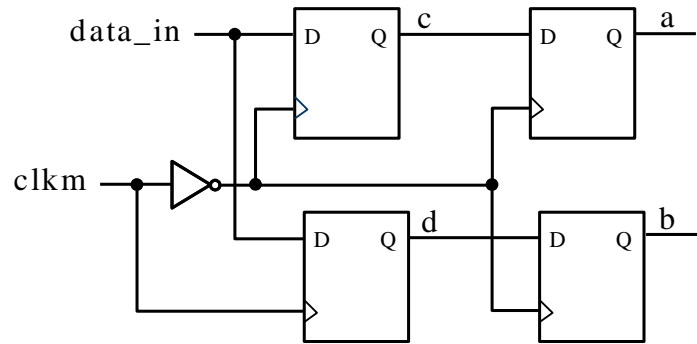


Figura 1.

En aquestes condicions, es demana:

1. Omplir els cronogrames que es mostren a la figura 2. El valor T_b representat a la figura és el període de bit del senyal *data_in*.

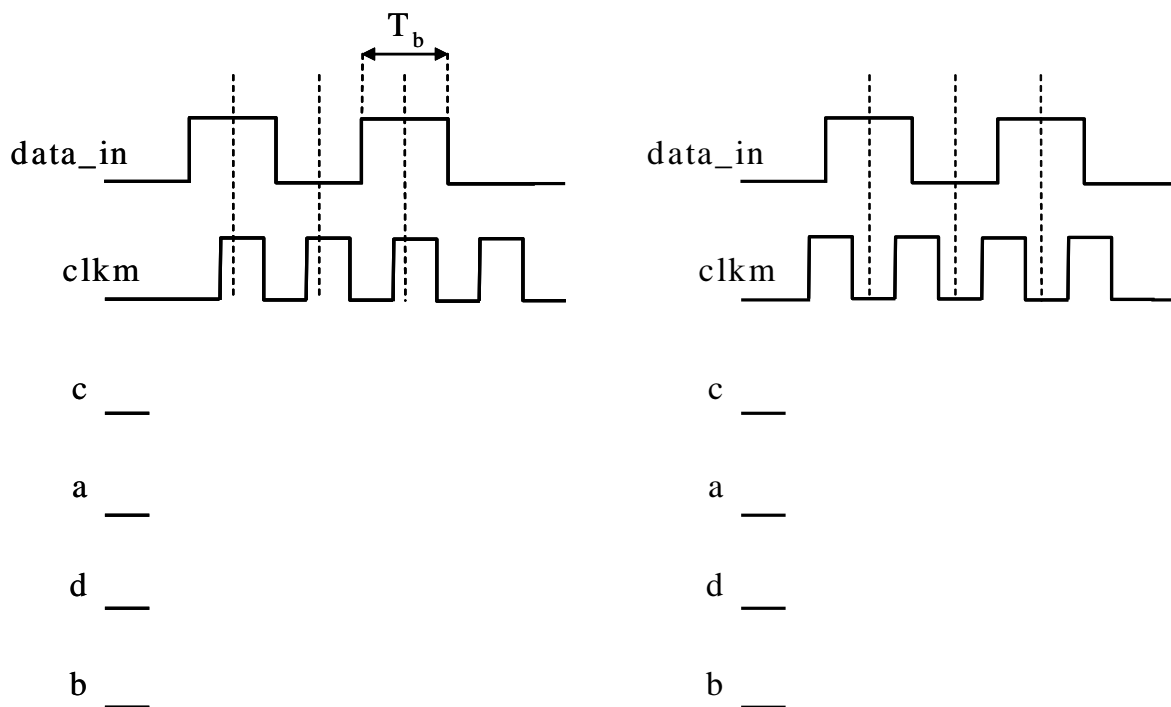


Figura 2.

2. Indicar de forma raonada com cal modificar (es poden fer servir funcions lògiques combinacionals de qualsevol nombre d'entrades) el sistema representat a la figura 1 i com s'ha de connectar al sistema representat a la figura 3 per tal que el senyal *a* representi una mostra del senyal *data_in* agafada a la meitat del període de bit d'aquest senyal. El comptador binari representat a la figura és un comptador binari síncron ascendent/descendent. Quan la seva entrada *up* està activa (a nivell alt) el comptador és ascendent, mentre que quan la seva entrada *down* està activa (a nivell alt) el comptador és descendent. El senyal *clk* és el senyal de rellotge del sistema receptor.

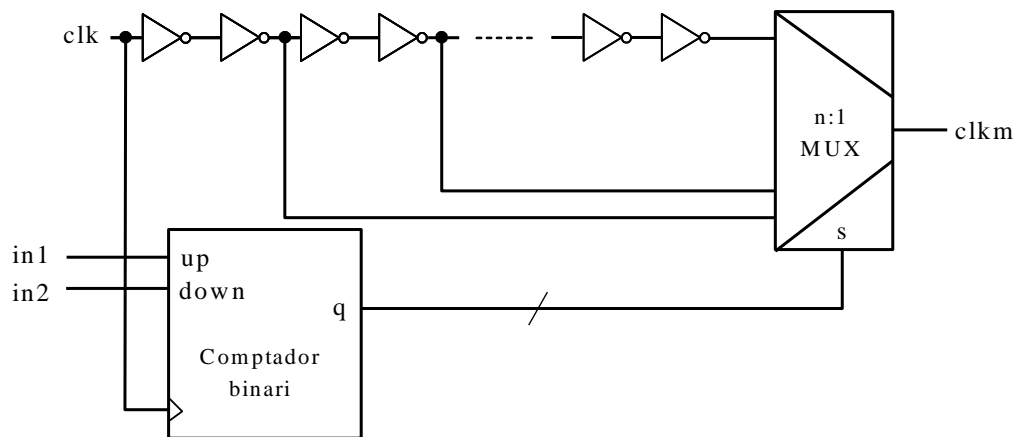


Figura 3.

3. Si es considera que totes les tensions al sistema estan compreses dins de l'interval $[0 \text{ V}, 3.3 \text{ V}]$, representar gràficament de forma justificada la tensió $V_a - V_b$ en funció de la diferència de fase entre el senyal *clk* i el senyal de rellotge que genera el senyal *data_in*, considerant una diferència de fase dins de l'interval $[-\pi, \pi]$.

• Problema 13:

Es considera un sistema seqüencial que consta de tres entrades, *enable*, *clk* i *clearn* i una sortida, *en_out*. El senyal *clk* és el senyal de rellotge global del sistema, i actuarà per flanc de pujada. El senyal *enable* actuarà com a senyal d'habilitació sincron del sistema, mentre que el senyal *clearn* actuarà com a senyal de reset síncron. En senyal *en_out* s'haurà d'activar (a nivell alt) cada 37 períodes de rellotge del senyal *clk*, i haurà de romandre actiu durant un període d'aquest senyal de rellotge. En aquestes condicions, es demana:

1. Utilitzant registres de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el sistema proposat. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
2. Si el sistema anterior, al que anomenarem sistema A, s'utilitza per mostrejar un senyal extern, anomenat *x*, indicar de forma raonada i detallada si el sistema mostrat a la figura 1 pot dur a terme aquesta funció.

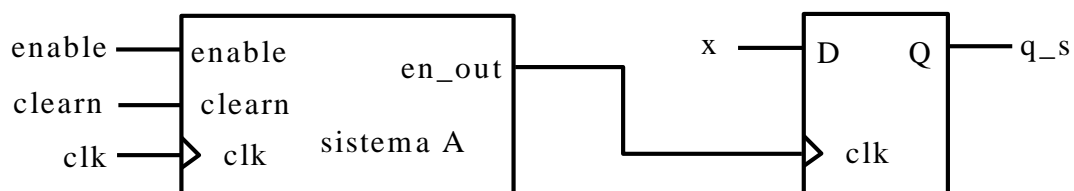


Figura 1.

En cas que el sistema mostrat a la figura 1 no pugui dur a terme la funció indicada a l'apartat 2, modificar aquest sistema utilitzant els mateixos elements indicats a l'apartat 1 per tal de construir un nou sistema que sí pugui realitzar la funció que es tracta d'assolir.

• Problema 14:

Es considera un sistema receptor sèrie que ha de rebre dades d'un dispositiu extern mitjançant una entrada anomenada *data_in*. Dins d'aquest sistema es considera un subsistema com el mostrat a la figura 1.

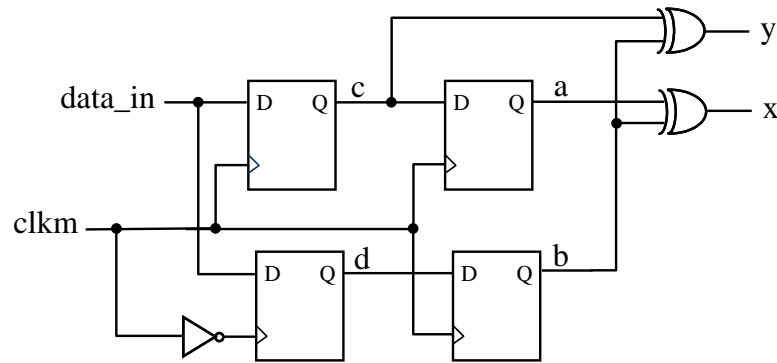


Figura 1.

En aquestes condicions, es demana:

4. Omplir els cronogrames que es mostren a la figura 2.

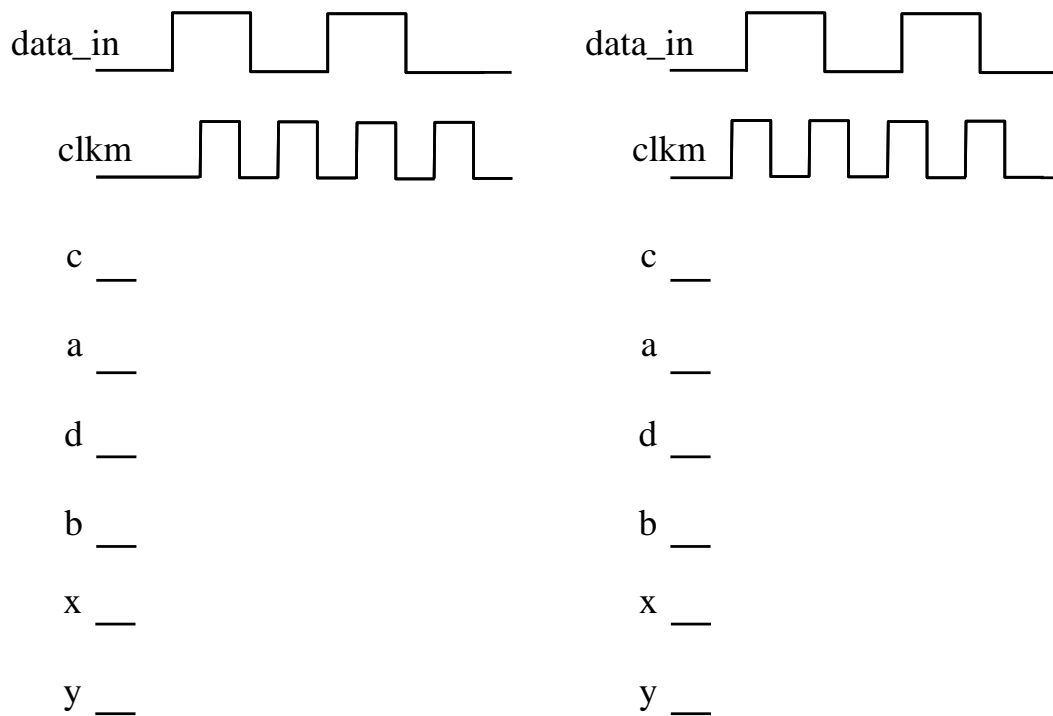


Figura 2.

5. Si es considera que totes les tensions al sistema estan compreses dins de l'interval $[0 \text{ V}, 3.3 \text{ V}]$, representar gràficament de forma justificada la tensió $V_x - V_y$ en funció de la diferència de fase entre el senyal *clkm* i el senyal de rellotge que genera el senyal *data_in*, considerant una diferència de fase dins de l'interval $[-\pi, \pi]$. A partir d'aquest resultat, indicar quina pot ser la funcionalitat del sistema representat a la figura 1.

• Problema 15:

Es considera un sistema amb la següent estructura:

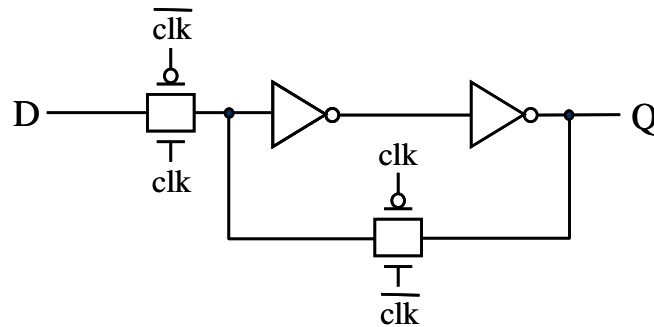


Figura 1

Es demana:

1. Identificar, de forma detallada i raonada, la funcionalitat corresponent al sistema proposat i construir la seva taula de la veritat (D-clk-Q).

Suposant que, quan estan actives, les portes de transmissió es poden modelar com a una resistència equivalent $R_{eq} = 1\text{K}\Omega$, la impedància d'entrada d'un inversor es pot modelar amb una capacitat equivalent $C_{eq} = 0.5\text{ pF}$, la desconexió d'una porta de transmissió és instantània i la característica d'entrada/sortida dels inversors és la de la figura 2:

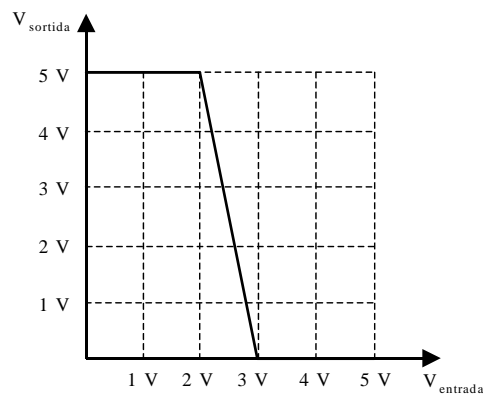


Figura 2

2. Calcular els temps de *setup* i *hold* per aquesta estructura.

TEMA 3

• Problema 16:

Es tracta de dissenyar un sistema de comunicacions al qual la informació estarà codificada fent servir una tècnica de modulació d'amplada de polsos (PWM – Pulse Width Modulation). Els subsistemes emissor i receptor d'aquest sistema de comunicacions treballaran amb senyals de rellotge **independents** de freqüència 50 MHz. El senyal que es comunicarà entre l'emissor i el receptor tindrà una freqüència de 1 MHz, i la relació entre el cicle de treball d'aquest senyal i el símbol comunicat pel subsistema emissor és la que es mostra a la taula següent:

Cicle de treball	Símbol
20 %	00
40 %	01
60 %	10
80 %	11

La interfície d'entrada/sortida del subsistema emissor està composta pels següents senyals:

- **enable:** Entrada d'habilitació del subsistema emissor. Aquest només enviarà dades quan aquest senyal estigui a un nivell lògic '1'.
- **clk_e:** Entrada corresponent al senyal de rellotge de freqüència 50 MHz.
- **simbol(1:0):** Entrada de dos bits corresponent al codi binari del símbol que l'emissor ha de transmetre.
- **pwm_out:** Sortida corresponent al senyal generat per l'emissor.

La interfície d'entrada/sortida corresponent al subsistema receptor està composta pels següents senyals:

- **clk_r:** Entrada corresponent al senyal de rellotge de freqüència 50 MHz.
- **pwm_in:** Entrada corresponent al senyal emès pel subsistema emissor.
- **codi(1:0):** Sortida de 2 bits que contindrà el codi binari corresponent al símbol que s'hagi rebut.

Sota aquestes condicions, es demana:

- Dibuixar el diagrama de blocs corresponent a un component del subsistema emissor que permeti generar un pols d'habilitació d'amplada 20 ns i període 1 µs. Es poden utilitzar per realitzar aquest diagrama comptadors binaris de qualsevol amplada i qualsevol tipus de portes lògiques. Al diagrama s'hauran d'indicar de forma clara els senyals de rellotge, habilitació i reset de tots els elements seqüencials utilitzats.
- Fent servir el component dissenyat a l'apartat a), dibuixar el diagrama de blocs corresponent al subsistema receptor. A més dels elements indicats a l'apartat a) es podran utilitzar per realitzar aquest diagrama qualsevol tipus de registre i

- multiplexor. Igualment, al diagrama s'hauran d'indicar de forma clara els senyals de rellotge, habilitació i reset de tots els elements seqüencials utilitzats.
- El subsistema receptor disposarà d'un component combinacional que, a partir d'un senyal intern de 6 bits, proporciona a la seva sortida el codi binari corresponent al símbol que s'hagi rebut. Es demana indicar la descripció VHDL de la entitat i una possible arquitectura per a aquest component. Els senyals d'entrada i de sortida d'aquest component poden tenir qualsevol nom.
 - Amb el component dissenyat a l'apartat c), dibuixar el diagrama de blocs corresponent al subsistema receptor. Per fer el diagrama es podran utilitzar els mateixos elements que s'indiquen a l'apartat b). Igualment, al diagrama s'hauran d'indicar de forma clara els senyals de rellotge, habilitació i reset de tots els elements seqüencials utilitzats.

• Problema 17:

Es considera el disseny d'un sistema digital amb capacitat per generar senyals periòdics amb paritat senar, és a dir, $f(x) = -f(-x)$. Un possible exemple de senyal generat per aquest sistema és el que es mostra a la figura 1.

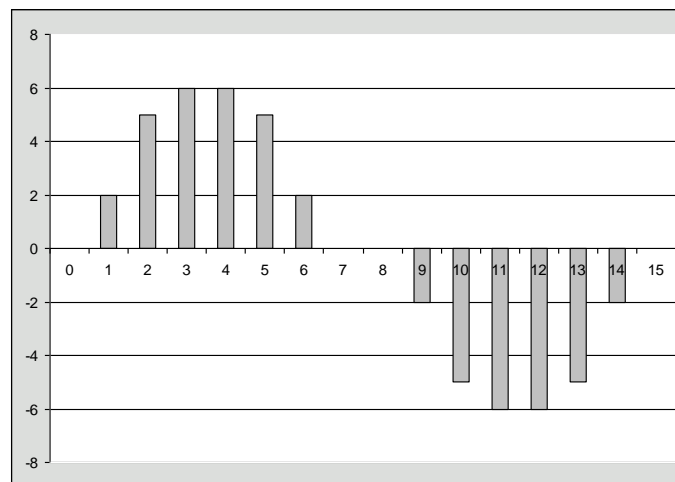


Figura 1. Exemple de senyal sintetitzat pel sistema proposat

Aquesta figura mostra un període sencer del senyal. L'eix d'abscisses indica l'ordre de cada mostra temporal, mentre que l'eix d'ordenades indica el valor numèric proporcionat pel sistema. El sistema proposat disposarà d'una entrada de rellotge (actiu per flanc de pujada), **clk**, una entrada de reset (actua de forma síncrona i és actiu a nivell baix), **clearn**, i dues sortides, **signe** i **valor[2:0]**. La sortida signe indica el signe del valor generat en cada instant de temps, mentre que la sortida de tres bits **valor[2:0]** conté la magnitud del valor generat. Aquestes dues sortides s'utilitzaran com a entrades d'un convertidor D/A, el qual generarà un senyal elèctric analògic a partir d'aquests senyals digitals.

Per realitzar aquest sistema es disposa d'una memòria ROM de 4x3 bits, el contingut de la qual és el que es mostra a continuació:

Adreça	Valor[2:0]
00	000
01	010
10	101
11	110

En aquestes condicions, es demana:

- a) Si només es pot fer servir una unitat de memòria ROM com la indicada anteriorment, representar el diagrama de blocs que permet implementar un sistema com el proposat. Es poden fer servir per representar aquest diagrama de blocs, a més de la memòria ROM, comptadors binaris síncrons de qualsevol amplada i portes lògiques de qualsevol nombre d'entrades. A la memòria ROM només caldrà utilitzar els seus bussos d'adreces i de dades (es considera que els senyal CS i OE ja tenen el valor adient per tal que es puguin fer lectures contínuament). Els comptadors hauran de tenir les seves entrades de rellotge i de reset identificades i connectades a un senyal.

Nota: Per facilitar la resolució es recomana contrastar la seqüència binària generada per un comptador de 4 bits amb la seqüència d'adreces a generar per a la memòria ROM utilitzada al sistema proposat.

- b) Al sistema dissenyat a l'apartat anterior s'afegeixen dos senyals d'entrada, que permeten introduir un desfasament al senyal de sortida generat. Aquests dos senyals es diuen d_90 i d_180, i els desfasaments possibles al senyal de sortida en funció del valor d'aquest senyals és el que es mostra a continuació:

d_180	d_90	Desfasament
0	0	0°
0	1	90°
1	0	180°
1	1	270°

Sota aquestes condicions, es demana modificar el sistema dissenyat a l'apartat a) per tal d'assolir aquesta nova funcionalitat.

- c) Es considera ara que al sistema dissenyat es pot utilitzar una memòria ROM de 1024 x 8 bits (és a dir, el senyal de sortida **valor[2:0]** tindrà ara una amplada de 8 bits, i es dirà **valor[7:0]**; el senyal de sortida **signe** no canvia de nom ni de funció). A més, el sistema haurà de permetre generar un senyal de sortida de freqüència variable. Si anomenem f_o a la freqüència del senyal de sortida generat, la relació entre aquesta i la freqüència del senyal de rellotge del sistema haurà de ser:

$$\frac{f_{clk}}{4 \cdot 1024} \leq f_o \leq \frac{f_{clk}}{4}$$

Per aquest motiu, s'afegiran dues noves entrades, **load** i **factor[9:0]**. L'entrada **factor** s'utilitzarà per controlar la freqüència del senyal de sortida. L'entrada **load** servirà per habilitar (a nivell alt) l'enregistrament intern del senyal **factor[9:0]**. En aquestes condicions, es demana redissenyar el sistema dissenyat

a l'apartat b) per tal d'assolir les noves especificacions. Es poden utilitzar, a més de la memòria ROM de 1024x8 bits (només un component), sumadors de qualsevol amplada i registres de qualsevol tipus i amplada. Els elements seqüencials del sistema hauran de tenir les seves entrades de reset i rellotge identificades i connectades a un senyal.

- d) Fent servir el mateix tipus de components utilitzats a l'apartat c), indicar com es pot modificar el sistema per tal que el senyal de sortida pugui tenir un desfasament diferent als indicats a l'apartat b). Quin és el desfasament mínim diferent de 0° que es pot aconseguir amb aquest sistema?

• Problema 18:

Es considera un sistema amb un comportament definit per la següent descripció VHDL:

```
entity examen is
port(
    data_in: in std_logic;
    clk: in std_logic;
    clearn: in std_logic;
    send: in std_logic;
    enable_shift: out std_logic;
    data_out: out std_logic
);
end examen;

architecture comportament of examen is

type def_estat is (s0, s1, s2, s3, s4, s5);
signal estat_actual, estat_futur: def_estat;
signal q1: std_logic;
signal enable_int: std_logic;

begin

reg_1: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0') then
        q1 <= '0';
    elsif (enable_int='1') then
        q1 <= data_in;
    else
        q1 <= not(data_in);
    end if;
end process;

data_out <= q1;

enable_int <= '1' when ((send='1') and (estat_actual/=s5))
                else '0';

enable_shift <= enable_int;

estat_futur <=
    s1 when (estat_actual=s0)
  else s2 when ((estat_actual=s1) and (q1=data_in))
  else s3 when ((estat_actual=s2) and (q1=data_in))
  else s4 when ((estat_actual=s3) and (q1=data_in))
  else s5 when ((estat_actual=s4) and (q1=data_in))
  else s1;

maquina_estats: process
begin
    wait until (clk'event and clk='1');
    if (clearn='0' or estat_actual=s5) then
```

```

        estat_actual <= s0;
    elsif (send='1') then
        estat_actual <= estat_futur;
    end if;
end process;

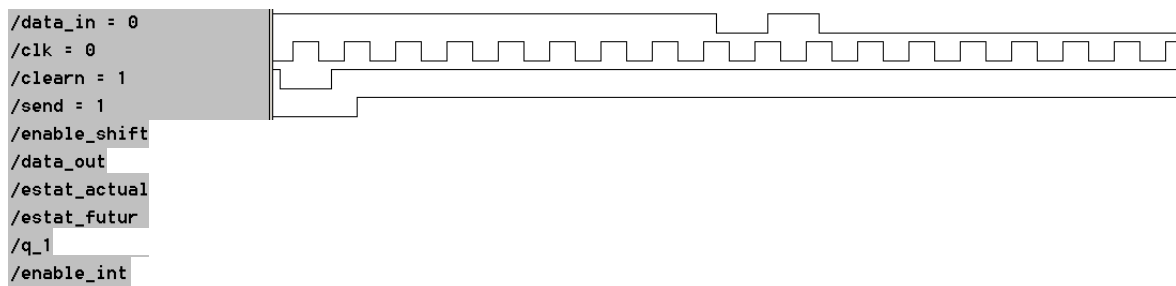
end comportament;

```

La sortida **enable_shift** d'aquest sistema es fa servir com a senyal d'habilitació d'un registre de desplaçament, de manera que si aquest senyal es troba a nivell '1' es produeix un desplaçament del contingut d'aquest registre amb un flanc de pujada del senyal de rellotge **clk**. La sortida sèrie d'aquest registre és l'entrada de dades del sistema proposat, **data_in**.

En aquestes condicions, es demana:

1. Omplir de forma raonada el següent cronograma:



2. A partir dels resultats de l'apartat anterior, determinar quina és la funcionalitat del sistema.
3. Com s'anomena habitualment la funció que realitza el sistema proposat? A quin dels protocols de comunicació sèrie que coneixes es fa servir?

• Problema 19:

Les característiques elèctriques i temporals més rellevants del *bus* I2C son:

- $V_{OHmin} = 3V$
- $V_{OLmax} = 0.4V$
- $T_{SCLHmin} = 4 \mu s$
- $T_{SCLLmin} = 4.7 \mu s$
- $t_{rmax} (SCL) = 1 \mu s$
- $R_{pmin} = 2K\Omega$

Amb aquestes dades, calcular quina és la màxima capacitat total de càrrega que es pot connectar a la línia SCL per poder treballar a 100KHz, suposant que la tensió d'alimentació és de 5V.

• Problema 20:

Es considera el disseny d'un sistema digital que té com a entrades els senyals **clk**, **clearn**, **enable**, **div** i **dc** i com a sortida un senyal anomenat **senyal_A**. El senyal **clk** és el

senyal de rellotge global del sistema, i té una freqüència de 50 MHz. El senyal *clearn* (actiu a nivell baix) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal *enable* (actiu a nivell alt) habilita el funcionament del sistema. La sortida del sistema, *senyal_A*, és un senyal de freqüència i cicle de treball variables. L'entrada *div*, amb una amplada de dos bits, determina la freqüència de la sortida *senyal_A*. La relació entre el contingut d'aquesta entrada i la freqüència de sortida és la que es mostra a la següent taula:

<i>div</i>	Freqüència de <i>senyal_A</i>
00	5 MHz
01	1 MHz
10	500 KHz
11	250 KHz

L'entrada *dc*, amb una amplada de 2 bits, determina el cicle de treball de la sortida *senyal_A*. La relació entre el contingut d'aquesta entrada i el cicle de treball de la sortida és la que es mostra a la següent taula:

<i>dc</i>	Cicle de treball de <i>senyal_A</i>
00	10 %
01	20 %
10	30 %

Nota: Es considerarà que el senyal *dc* mai pot tenir el valor "11"

En aquestes condicions es demana:

- Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el sistema proposat. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- Al sistema anterior s'afegeix una nova entrada, anomenada *separa*, i una nova sortida, anomenada *senyal_B*. Aquesta sortida és un senyal de la mateixa freqüència i cicle de treball que la sortida *senyal_A*, però s'activa a nivell alt quan *senyal_A* passa a tenir un nivell baix. Quan l'entrada *separa* té un nivell baix la sortida *senyal_B* passa a un nivell alt un cicle de rellotge (clk) després que la sortida *senyal_A* passi a un nivell baix. Quan l'entrada *separa* té un nivell alt la sortida *senyal_B* passa a un nivell alt dos cicles de rellotge (clk) després que la sortida *senyal_A* passi a un nivell baix. En aquestes condicions, es demana modificar el disseny realitzat a l'apartat a) per tal que el sistema pugui dur a terme la nova funcionalitat.
- Suposem ara que la sortida *senyal_B* pot tenir un cicle de treball diferent del de la sortida *senyal_A*, però que aquestes dues sortides mai poden estar a nivell alt simultàniament. En aquestes condicions, es demana explicar de forma raonada quin és el cicle de treball màxim que pot assolir la sortida *senyal_B*. Si el cicle de treball d'aquest senyal es controla de forma continua mitjançant una entrada anomenada *dc_b*, indicar quina hauria de ser l'amplada (nombre de bits) d'aquest senyal. Són possibles totes les combinacions de les entrades *dc* i *dc_b* si les sortides *senyal_A* i *senyal_B* no poden estar mai simultàniament a nivell

alt? En cas negatiu, modificar el disseny realitzat a l'apartat b) per tal que el sistema pugui dur a terme la nova funcionalitat.

• Problema 21:

Es tracta de dissenyar un sistema que sigui capaç de controlar un motor pas a pas, de manera que el seu eix pugui realitzar un moviment angular de 180° entre una posició inicial anomenada I (posició angular 0°) i una posició final anomenada F (posició angular 180°).

Pel motor que es tracta de controlar, cada pas representa un moviment angular de 1.8° .

El driver que s'ha triat per controlar el motor pas a pas és el dispositiu L6219 de ST Microelectronics.

El controlador que es tracta de dissenyar haurà de generar dos senyals de sortida, anomenats *fase_a* i *fase_b*, els quals s'utilitzaran com a entrada pel driver L6219. Les possibles seqüències temporals a generar per a aquests senyals són les mostrades a les figures 1 i 2.

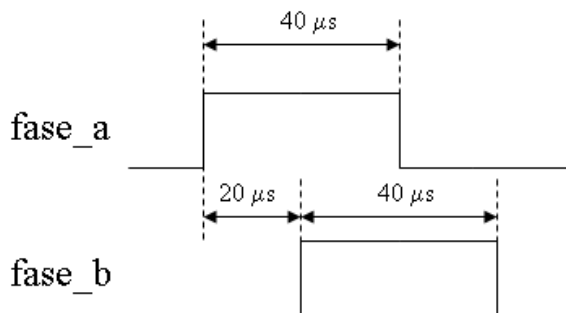


Figura 1.

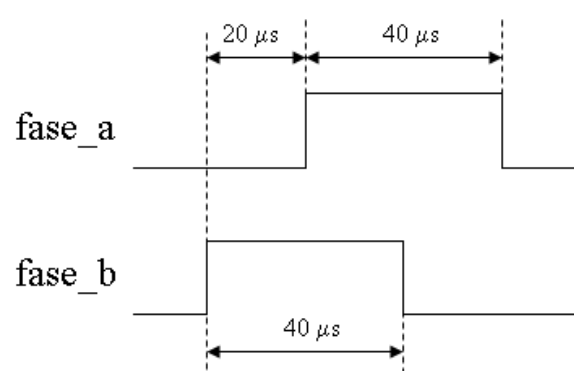


Figura 2.

Quan els senyals *fase_a* i *fase_b* tenen la seqüència mostrada a la figura 1 el driver L6219 aplicarà al motor una seqüència de tensions que modificaran la seva posició angular un pas (1.8°) en el sentit de la posició I a la posició F. En canvi, quan els senyals *fase_a* i *fase_b* tenen la seqüència mostrada a la figura 2 el driver L6219 aplicarà al motor una seqüència de tensions que modificaran la seva posició angular un pas (1.8°) en el sentit de la posició F a la posició I.

En aquestes condicions, es demana:

- Realitzar el disseny d'un sistema que disposa de 4 entrades, *enable*, *reset*, *i2f* i *clk* i dues sortides, *fase_a* i *fase_b*. El senyal *clk* és el rellotge del sistema, i té una freqüència de 100 KHz. Aquest senyal actuarà sempre per flanc de pujada sobre els elements de memòria del sistema. El senyal *reset* (actiu a nivell alt) és el senyal de reset síncron del sistema. El senyal *i2f* indica el sentit del moviment del motor, de forma que a nivell alt el motor s'haurà de moure de la posició I a la posició F, mentre que a nivell baix s'haurà de moure en sentit contrari. El senyal *enable* és el senyal d'habilitació (a nivell alt) del sistema. Aquest senyal només estarà actiu durant un període (de flanc de pujada a flanc de pujada) del senyal *clk*, i provocarà l'activació dels senyals *fase_a* i *fase_b* tal i com s'ha

descriu anteriorment. Les sortides *fase_a* i *fase_b* s'utilitzaran com a entrades del driver L6219. Per realitzar el disseny es poden utilitzar funcions combinacionals de qualsevol tipus i registres de qualsevol tipus. Tots els registres hauran de tenir indicat i degudament connectat el senyal de reset.

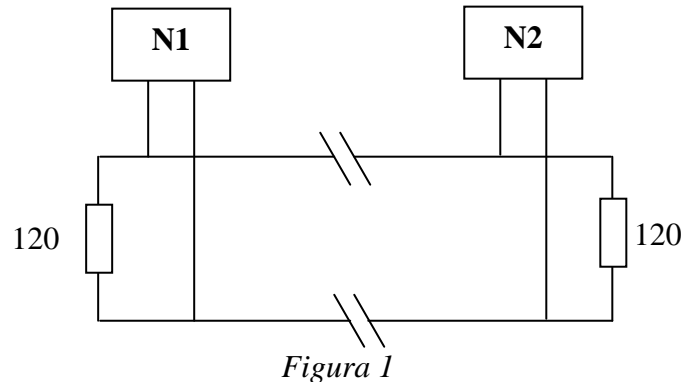
- b) Realitzar el disseny d'un sistema que, afegit al dissenyat a l'apartat a), permeti que el motor es pugui moure amb dues velocitats diferents. Aquest nou sistema disposarà de 4 entrades, *enable*, *reset*, *l_rn* i *clk* i una sortida, *enable_pols*. Els senyals *clk* i *reset* tenen el mateix significat que a l'apartat a). El senyal *enable* (actiu a nivell alt) permet habilitar el funcionament d'aquest sistema. El senyal *l_rn* especifica la velocitat a la qual s'ha de moure el motor. Quan aquest senyal està a nivell alt el motor ha de poder realitzar un recorregut angular des de la posició I a la posició F en 60 segons, mentre que quan aquest senyal està a nivell baix aquest recorregut s'haurà de poder realitzar en 10 segons. La sortida *enable_pols* s'utilitzarà com a entrada *enable* del sistema dissenyat a l'apartat a). Per realitzar aquest sistema es poden utilitzar tots els elements permesos a l'apartat a), així com comptadors de qualsevol amplada. Tots els elements seqüencials hauran de tenir indicat i degudament connectat el senyal de reset.
- c) Ajuntant els sistemes dissenyats als apartats a) i b), i utilitzant els elements permesos anteriorment (indicant i connectant de forma adient el senyal de reset de tots els elements seqüencials), dissenyar un sistema amb 9 entrades, *clk*, *reset*, *i2f*, *l_rn*, *inici*, *final*, *mode(1:0)*, *steps(6:0)* i *start* i tres sortides, *fase_a*, *fase_b* i *fi_comanda*. Les sortides *fase_a* i *fase_b* s'utilitzaran com a entrades pel driver L6219. Els senyals *clk*, *reset*, *i2f* i *l_rn* tenen el mateix significat que s'ha indicat anteriorment. L'entrada *inici* s'activarà (a nivell alt) quan el motor es trobi a la posició I (0°), i es desactivarà en cas contrari. L'entrada *final* s'activarà (a nivell alt) quan el motor es trobi a la posició F (180°) i es desactivarà en cas contrari. L'entrada *mode* indica els tres possibles modes de funcionament del motor, tal i com s'explica a la taula següent:

mode(1:0)	Funció
01	Independentment de la posició actual del motor, aquest s'haurà de moure fins a la posició I.
10	Independentment de la posició actual del motor, aquest s'haurà de moure fins a la posició F.
11	El motor s'haurà de moure un número de passos (en el sentit que indiqui l'entrada <i>i2f</i>) igual al valor que indiqui l'entrada <i>steps(6:0)</i> . És important tenir present que la posició del motor sempre haurà d'estar situada entre les posicions I i F.

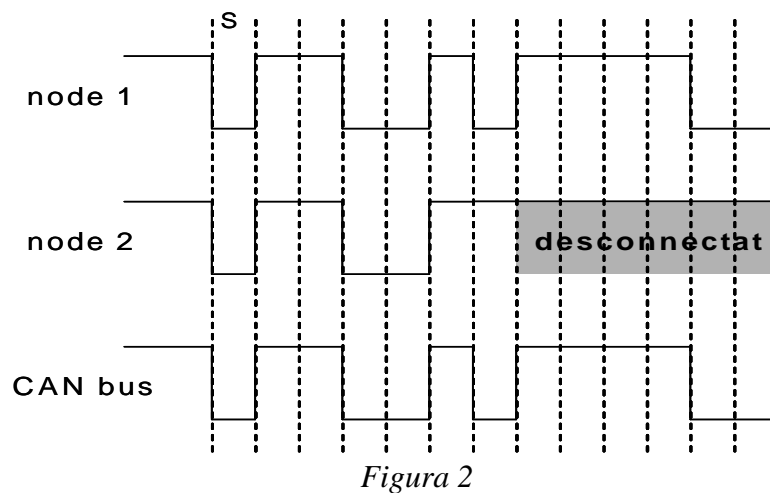
L'entrada *steps(6:0)* indica el nombre de passos que el motor s'haurà de moure en cas que el mode de funcionament triat sigui el 11. L'entrada *start*, activa a nivell alt, tindrà una durada d'un període de rellotge (de flanc de pujada a flanc de pujada) i s'utilitzarà per iniciar una seqüència corresponent al mode de funcionament triat. Aquest senyal s'utilitzarà per enregistrar internament el valor de l'entrada *mode(1:0)*. La sortida *fi_comanda* (activa a nivell alt) s'activarà quan el sistema hagi completat la seqüència iniciada després de l'activació de l'entrada *start* i es desactivarà quan s'activi l'entrada *start*.

• Problema 22:

En un bus CAN com el de la figura 1, on la línia que uneix els nodes té un retard de **5ns/m**, considerem els dos nodes **extremes**.



Entre aquests dos nodes es produeix un arbitratge no destructiu per aconseguir el control del bus, tal com es mostra a la figura 2, on “S” indica el bit de *start*.



A la vista de la figura 2, es demana:

1. Explicar com funciona aquest arbitratge i per quin motiu el node 2 es desconnecta del bus.
2. Explicar per quin motiu es pot produir una situació on dos (o més) nodes intentin agafar el bus, si cada un d'ells senyalitza amb el bit de *start* la ocupació i els altres no haurien de intentar transmetre si detecten el bus ocupat.

A la figura 3 es mostra l'estructura del temps de bit d'aquest bus, on el numero que figura a sota del nom de cada segment representa el nombre de *quantums* que dura i l'instant de lectura del bit és l'instant que separa TSEG1 i TSEG2.

Syn c	TSEG1 6	TSEG 2
----------	------------	-----------

Figura 3

Si la velocitat de transmissió és de **1Mb/s**, el retard de la línia, com ja s'ha dit, és de **5ns/m**, el retard dels transceptors dels nodes, tant en transmissió com en recepció és de **30ns** i suposem que l'error de freqüència entre els rellotges dels diferents nodes és menyspreable es demana:

3. Calcular, justificant la resposta, la longitud màxima que pot tenir el bus en aquestes condicions.

Ara suposarem que l'error de freqüència màxim entre dos nodes qualsevol és de $\pm 1.5\%$, que la resincronització dels nodes es produeix només en el flanc *recessiu-dominant*, i que el màxim nombre de bits sense transició és de cinc, tal com s'indica a la figura 4.

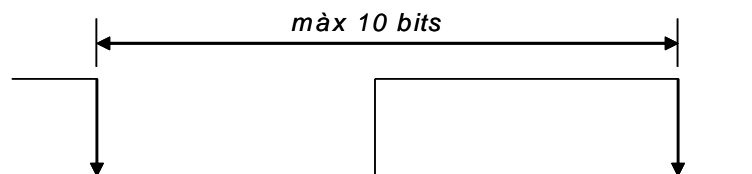


Figura 4

4. Modificar adequadament, justificant-ho, l'estructura del temps de bit de la figura 3 per tal de poder resincronitzar correctament en les condicions descrites.
5. Si el nombre total de *quantums* es manté en 8, calcular la longitud màxima del bus en les noves condicions.

• Problema 23:

Es tracta de dissenyar un sistema que sigui capaç de controlar un motor pas a pas, de manera que el seu eix pugui realitzar un moviment angular de 90° entre una posició inicial anomenada I (posició angular 0°) i una posició final anomenada F (posició angular 90°). Aquesta zona angular s'haurà de cobrir en increments angulars de $0,9^\circ$.

Pel motor que es tracta de controlar, cada pas representa un moviment angular de $1,8^\circ$.

El *driver* que s'ha triat per controlar el motor pas a pas és el dispositiu L6219 de ST Microelectronics.

El controlador que es tracta de dissenyar haurà de generar quatre senyals de sortida, anomenats **c1**, **c2**, **p1** i **p2**, els quals s'utilitzaran com a entrada pel driver L6219. Les possibles seqüències temporals a generar per a aquests senyals són les mostrades la figura 1.

La combinació d'aquests quatre senyals en cada interval de temps, T_1 a T_8 , fa que el motor modifiqui la seva posició angular en $0,9^\circ$. És a dir, el conjunt de les 8 seqüències fan que el motor modifiqui la seva posició angular en $7,2^\circ$. Quan la seqüència dels senyals es correspon a la seqüència dels intervals ordenats amb índex creixent (és a dir, $T_1 \rightarrow T_2 \rightarrow T_3 \rightarrow T_4 \rightarrow T_5 \rightarrow T_6 \rightarrow T_7 \rightarrow T_8$) el motor es mourà de la posició I a la posició F, mentre que quan la seqüència dels senyals es correspon a la seqüència dels intervals ordenats amb índex decreixents (és a dir, $T_8 \rightarrow T_7 \rightarrow T_6 \rightarrow T_5 \rightarrow T_4 \rightarrow T_3 \rightarrow T_2 \rightarrow T_1$) el motor es mourà de la posició F a la posició I.

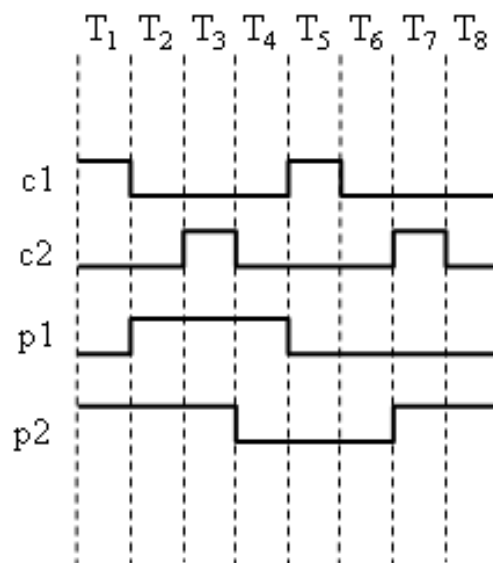


Figura 1.

En aquestes condicions, es demana:

1. Si el motor utilitzat per resoldre l'aplicació té una velocitat angular màxima de 300 r.p.m. i es desitja realitzar l'escombrat de la zona angular de 90° en 1 segon, suposant que la durada temporal de tots els intervals mostrats a la figura 1 sigui la mateixa i igual a T, determinar aquest valor de T.
2. Realitzar el disseny d'un sistema que disposa de 3 entrades, **enable**, **reset** i **clk** i una sortida, **enable_out**. El senyal **clk** és el rellotge del sistema, i té una freqüència de 10 MHz. Aquest senyal actuarà sempre per flanc de pujada sobre els elements de memòria del sistema. El senyal **reset** (actiu a nivell alt) és el senyal de reset síncron del sistema. El senyal **enable** és el senyal d'habilitació (a nivell alt) del sistema. El senyal **enable_out** tindrà una durada a nivell alt igual al període del senyal **clk**, i el seu període serà el valor de T determinat a l'apartat a). El senyal **enable_out** només s'haurà de generar quan l'entrada d'habilitació estigui activa. Per realitzar el disseny es poden utilitzar funcions combinacionals i seqüencials de qualsevol tipus. Tots els elements seqüencials hauran de tenir indicat i degudament connectat el senyal de reset.
3. Realitzar el disseny d'un sistema que disposa de 4 entrades, **enable**, **reset**, **i2f** i **clk** i 4 sortides, **c1**, **c2**, **p1** i **p2**. El senyal **clk** és el rellotge del sistema, i té una freqüència de 10 MHz. Aquest senyal actuarà sempre per flanc de pujada sobre els elements de memòria del sistema. El senyal **reset** (actiu a nivell alt) és el senyal de reset síncron del sistema. El senyal **i2f** indica el sentit del moviment del motor, de forma que a nivell alt el sentit del moviment serà de la posició I a la posició F, mentre que a nivell baix s'haurà de moure en sentit contrari. El senyal **enable** és el senyal d'habilitació (a nivell alt) del sistema. Aquest senyal provocarà que la seqüència corresponent als senyals **c1**, **c2**, **p1** i **p2** avenci una unitat per període de rellotge, depenent del valor de l'entrada **i2f** (és a dir, que es passi per exemple de T₄ a T₅ o de T₅ a T₄). Les sortides **c1**, **c2**, **p1** i **p2** s'utilitzaran com a entrades del driver L6219. Per realitzar el disseny es poden utilitzar funcions combinacionals i seqüencials de qualsevol tipus. Tots els elements seqüencials hauran de tenir indicat i degudament connectat el senyal de reset. **Nota:** Per realitzar aquest sistema es pot fer servir com a component el sistema dissenyat a l'apartat b).

4. Dissenyar un sistema amb 6 entrades, *clk*, *reset*, *i2f*, *mode(1:0)*, *steps(6:0)* i *start* i 5 sortides, *c1*, *c2*, *p1*, *p2* i *fi_comanda*. Les sortides *c1*, *c2*, *p1* i *p2* s'utilitzaran com a entrades pel driver L6219. Els senyals *clk*, i *reset* tenen el mateix significat que s'ha indicat anteriorment. L'entrada *mode* indica els tres possibles modes de funcionament del motor, tal i com s'explica a la taula següent:

mode(1:0)	Funció
01	Independentment de la posició actual del motor, aquest s'haurà de moure fins a la posició I.
10	Independentment de la posició actual del motor, aquest s'haurà de moure fins a la posició F.
11	El motor s'haurà de moure un número de passos (en el sentit que indiqui l'entrada <i>i2f</i>) igual al valor que indiqui l'entrada <i>steps(6:0)</i> . És important tenir present que la posició del motor sempre haurà d'estar situada entre les posicions I i F.

L'entrada *steps(6:0)* indica el nombre de passos que el motor s'haurà de moure en cas que el mode de funcionament triat sigui el 11. L'entrada *start*, activa a nivell alt, tindrà una durada d'un període de rellotge (de flanc de pujada a flanc de pujada) i s'utilitzarà per iniciar una seqüència corresponent al mode de funcionament triat. Aquest senyal s'utilitzarà per enregistrar internament el valor de l'entrada *mode(1:0)*. La sortida *fi_comanda* (activa a nivell alt) s'activarà quan el sistema hagi completat la seqüència iniciada després de l'activació de l'entrada *start* i es desactivarà quan s'activi l'entrada *start*.

Nota: Per realitzar aquest sistema es pot fer servir com a component el sistema dissenyat a l'apartat c). També cal tenir present que la posició I és la posició en la que es troba el motor quan el sistema s'inicia.

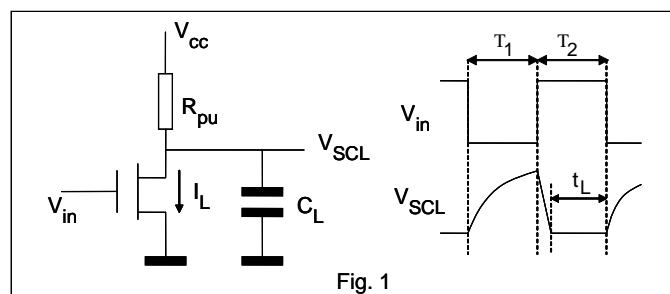
• Problema 24:

A la figura 1 es mostra un *driver* en drenador obert connectat a la línia SCL d'un bus I2C. Les seves característiques rellevants són:

$$\begin{aligned} I_{L\max} &= 10 \text{ mA} && (\text{Corrent de sortida màxima}) \\ V_{L\max} &= 200 \text{ mV} && (\text{Tensió de sortida màxima quan s'activa}) \end{aligned}$$

La resta dels valors són:

$$\begin{aligned} V_{cc} &= 5 \text{ V} \\ R_{pu} &= 2 \text{ Kohm} \\ C_L &= 500 \text{ pF} \end{aligned}$$



Suposant que la descàrrega de C_L a través del *driver* es produeix a corrent constant de valor $I_{Lm\grave{a}x}$, i que el valor de SCL mínim a nivell alt és de 2V, calcular:

1. El valor màxim de V_{SCL} si V_{in} és un senyal de 250KHz i el seu cicle de treball és del 50%.
2. La freqüència màxima de V_{in} si s'ha de complir que:
 - El temps mínim que SCL ha d'estar a nivell alt és de 300ns
 - El valor mínim de t_L (veure figura) ha de ser 1 μ s
 NOTA: En aquest apartat suposem que el cicle de treball no cal que sigui del 50%.
3. La freqüència màxima de V_{in} si el cicle de treball ha de ser del 50%.
4. Explicar com ha resolt l'apartat 3 anterior i comentar si hi veu algun problema en la manera en que ho ha fet.

• Problema 25:

Es tracta de dissenyar un sistema modulador QPSK amb una estructura interna com la mostrada al diagrama de blocs de la figura 1.

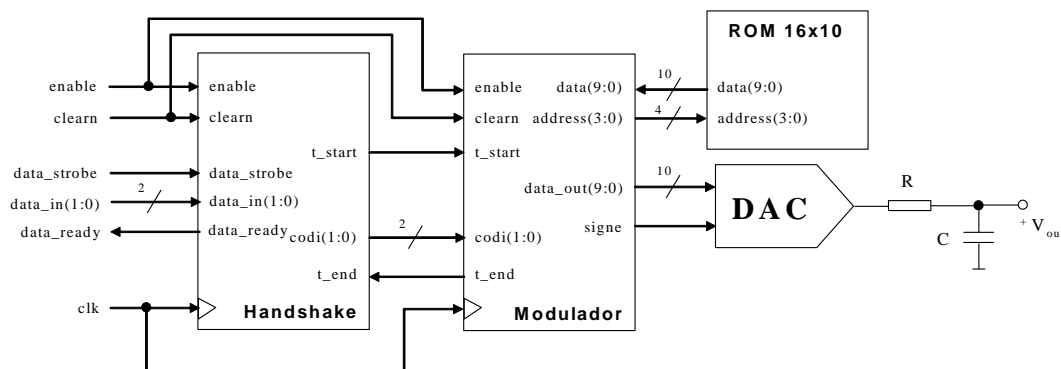


Figura 1. Diagrama de blocs del sistema modulador QPSK

Les dades a transmetre provenen d'un sistema extern i estan disponibles a l'entrada **data_in(1:0)**. L'entrada **data_strobe** (activa a nivell alt) indica que el modulador disposa d'un nou símbol a transmetre. La sortida **data_ready** (activa a nivell alt) indica al sistema extern que el darrer símbol ja s'ha enviat i que per tant el modulador està preparat per acceptar un nou símbol a transmetre. L'entrada **enable** (activa a nivell alt) s'utilitzarà com a habilitació global del sistema. L'entrada **clearn** (activa a nivell baix) és el reset global síncron del sistema. L'entrada **clk** és el senyal de rellotge del sistema, i té una freqüència de 64 MHz.

El bloc **ROM 16x10** conté 16 mostres corresponents al primer quart de període d'un senyal sinus.

Les sortides **data_out(9:0)** i **signe** indiquen, respectivament, el valor i el signe ('0' => signe positiu, '1' => signe negatiu) del nivell de tensió a generar pel DAC (convertidor digital-analògic).

La relació entre el valor del símbol d'entrada i el desfasament del senyal de sortida és el que es mostra a continuació:

Símbol	Desfasament
00	45°
01	135°
10	225°
11	315°

El sistema modulador produirà 4 períodes complets per cada símbol. En cas que no hi hagi cap símbol a transmetre el modulador produirà a la sortida el senyal sinus sense desfasament.

En aquestes condicions, es demana:

- Indicar quina és la velocitat de transmissió del sistema en símbols/segon
- Realitzar el disseny corresponent al bloc anomenat **Handshake**. Per realitzar el disseny s'ha de tenir present que l'entrada **data_in(1:0)** s'haurà d'enregistrar al senyal **codi(1:0)** quan s'activi l'entrada **data_strobe**. Cal tenir present que el sistema que genera el senyal **data_in(1:0)** pot treballar amb un senyal de rellotge diferent a l'utilitzat pel modulador. El sistema extern mai activarà al senyal **data_strobe** si el senyal **data_ready** no està actiu. El senyal **data_ready** s'haurà d'activar quan s'activi (a nivell alt) el senyal **t_end** provinent del bloc **Modulador**, doncs aquest indica que ha finalitzat l'emissió de l'últim símbol. El senyal **t_start** s'haurà d'activar (a nivell alt) quan s'activi el senyal **data_strobe**, i s'haurà de desactivar quan s'activi l'entrada **t_end**.
- Realitzar el disseny corresponent al bloc anomenat **Modulador**. Per realitzar el disseny cal tenir present que l'emissió d'un nou símbol s'iniciarà a partir del moment en que s'activi (a nivell alt) el senyal **t_start**. En acabar l'emissió s'haurà d'activar (a nivell alt) el senyal **t_end**.
- Si el mínim nombre de mostres per període és 16, indicar quina és la velocitat màxima de transmissió del sistema. Modificar el disseny realitzat a l'apartat c) per tal que el sistema pugui treballar a la velocitat de transmissió nominal o a la velocitat de transmissió màxima. Per aquest motiu caldrà afegir al sistema una nova entrada, anomenada **velocitat**, que indica si el sistema treballa a la velocitat de transmissió nominal (**velocitat='0'**) o a la velocitat de transmissió màxima (**velocitat='1'**).

Nota: Per realitzar els dissenys proposats es poden utilitzar funcions combinacionals i seqüencials de qualsevol tipus. Tots els elements seqüencials hauran de tenir indicat i degudament connectat el senyal de reset. En cas de realitzar el disseny emprant el llenguatge VHDL cal tenir present que la descripció haurà de ser correcta.

• Problema 26:

Es considera el disseny d'un sistema digital que té com a entrades els senyals **clk**, **clearn**, **enable** i **dc** i com a sortida un senyal anomenat **senyal_A**. El senyal **clk** és el senyal de rellotge global del sistema, i té una freqüència de 100 MHz. El senyal **clearn**

(actiu a nivell baix) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal **enable** (actiu a nivell alt) habilita el funcionament del sistema. La sortida del sistema, **senyal_A**, és un senyal amb una freqüència d'1 MHz i cicle de treball variable.

L'entrada **dc**, amb una amplada de 2 bits, determina el cicle de treball de la sortida **senyal_A**. La relació entre el contingut d'aquesta entrada i el cicle de treball de la sortida és la que es mostra a la següent taula:

dc	Cicle de treball de <i>senyal_A</i>
00	25 %
01	50 %
10	75 %

Nota: Es considerarà que el senyal **dc** mai pot tenir el valor "11"
En aquestes condicions es demana:

- d) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el sistema proposat. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- e) Es desitja ara que aquest sistema sigui capaç de proporcionar una segona sortida, anomenada **senyal_B**, la qual estarà desfasada respecte a la sortida **senyal_A** però tindrà la seva mateixa freqüència i cicle de treball. Tenint en compte que el desfasament s'ha de poder dur a terme independentment del cicle de treball dels senyals, quin és el valor màxim de desfasament (en graus) possible entre aquestes dues sortides?
- f) Tenint en compte el resultat de l'apartat b), indicar quina hauria de ser l'amplada (nombre de bits) d'un senyal d'entrada encarregat de codificar el desfasament entre les sortides **senyal_A** i **senyal_B**.
- g) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el nou sistema proposat. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.

• Problema 27:

Es tracta de realitzar el disseny corresponent al nivell físic de l'estàndard de comunicació sense fils IEEE 802.15.4 (Zigbee), el diagrama de blocs del qual es mostra a la figura 1.

El senyal **data_in** constitueix la entrada sèrie de dades, i té una velocitat de 250 Kb/s. Aquest senyal s'ha generat anteriorment a partir del senyal de rellotge global del sistema, **clk** (i per tant ja està sincronitzat) el qual té una freqüència de 16 MHz. El senyal **enable** (actiu a nivell alt) constitueix el senyal d'habilitació global del sistema, mentre que el senyal **reset** (actiu a nivell alt) és el senyal de reset síncron del sistema. El senyal **sout** s'aplica a un convertidor digital/analògic de 10 bits en format de complement a 2 i amb una velocitat de 16 MS/s.

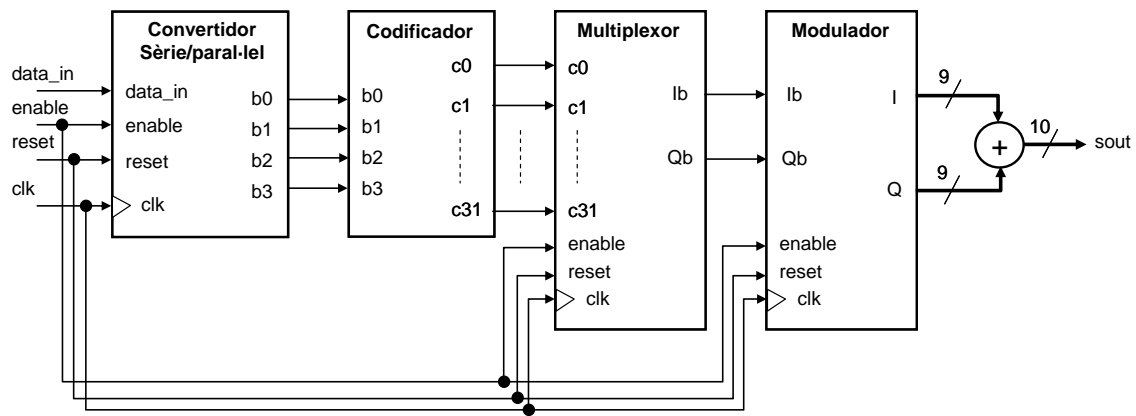


Figura 1.

En aquestes condicions es demana:

1. Realitzar el disseny corresponent al subsistema anomenat “Convertidor sèrie/paral·lel” a la figura 1. Aquest subsistema s’encarrega de prendre una mostra situada al punt mig del període del senyal de entrada **data_in** i de proporcionar a la seva sortida un grup de quatre mostres consecutives (senyals **b0**, **b1**, **b2** i **b3**). Les mostres s’hauran de situar a la seva sortida una vegada s’hagi capturat la quarta mostra de cada grup. Per realitzar aquest disseny es poden utilitzar funcions combinacionals i seqüencials de qualsevol tipus. Els elements seqüencials hauran de tenir indicats i correctament connectats els senyals de rellotge i de reset.

El subsistema anomenat “Codificador” a la figura 1 és un element combinacional que proporciona 32 senyals de sortida (**c0** a **c31**) a partir dels quatre senyals d’entrada (**b0** a **b3**). Les funcions associades a cadascun dels senyals de sortida són les mostrades a la taula 1.

(b ₀ , b ₁ , b ₂ , b ₃)	(c ₀ , c ₁ , c ₂ , c ₃ c ₃₀ , c ₃₁)
0000	11011001110000110101001000101110
1000	11101101100111000011010100100010
0100	00101110110110011100001101010010
1100	00100010111011011001110000110101
0010	01010010001011101101100111000011
1010	00110101001000101110110110011100
0110	11000011010100100010111011011001
1110	10011100001101010010001011101101
0001	10001100100101100000011101111011
1001	10111000110010010110000001110111
0101	01111011100011001001011000000111
1101	01110111101110001100100101100000
0011	00000111011110111000110010010110
1011	01100000011101111011100011001001
0111	10010110000001110111101110001100
1111	11001001011000000111011110111000

Taula 1.

El subsistema anomenat “Multiplexor” a la figura 1 té com a funció multiplexar les seves entrades (**c0** a **c31**) sobre les seves sortides (**Ib** i **Qb**). Les entrades d’ordre parell (**c0**, **c2**, ..., **c28**, **c30**) hauran d’aparèixer a la sortida **Ib**, mentre que les entrades d’ordre

senar ($c1, c3, \dots, c29, c31$) hauran d'aparèixer a la sortida Qb . El temps que cada entrada ha d'estar present a les sortides serà $2 \cdot T_c$. A més, la sortida Qb té un retard de T_c respecte a la sortida Ib , tal i com es mostra a la figura 2.

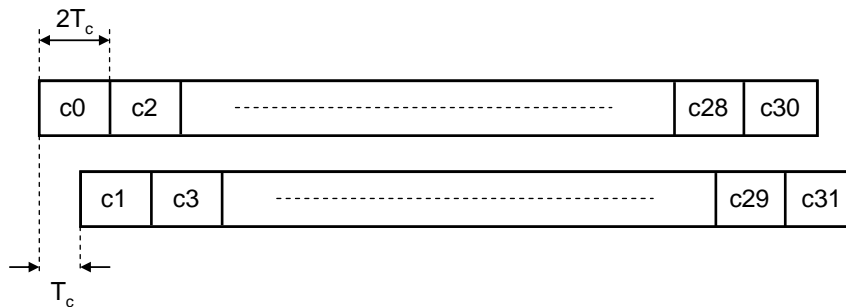


Figura 2.

En aquestes condicions, es demana:

2. Tenint en compte la velocitat de l'entrada sèrie de dades, $data_in$, determinar el valor de T_c .
3. Utilitzant el mateix tipus de components permesos a l'apartat 1, realitzar el disseny d'aquest subsistema.

El subsistema anomenat "Modulador" a la figura 1 s'encarrega de generar, per cada interval $2 \cdot T_c$, a les seves sortides I i Q valors digitals corresponents a mig període d'una funció sinus i cosinus, respectivament. Aquestes funcions seran positives en el cas que l'entrada corresponent (Ib o Qb) tinguin un valor '0', i seran negatives en cas contrari. És a dir:

$$I(t) = \begin{cases} \sin\left(\frac{\pi \cdot t}{2 \cdot T_c}\right), & \text{si } I_b = 0 \\ -\sin\left(\frac{\pi \cdot t}{2 \cdot T_c}\right), & \text{si } I_b = 1 \end{cases} \quad Q(t) = \begin{cases} \cos\left(\frac{\pi \cdot t}{2 \cdot T_c}\right), & \text{si } Q_b = 0 \\ -\cos\left(\frac{\pi \cdot t}{2 \cdot T_c}\right), & \text{si } Q_b = 1 \end{cases}$$

Per a la realització d'aquest subsistema es disposa de dues memòries ROM de 8 x 9 bits que contenen, respectivament, els valors **en format complement a 2** corresponents al primer quart de període d'una funció sinus i d'una funció cosinus.

En aquestes condicions es demana:

4. Utilitzant el mateix tipus de components permesos a l'apartat 1 i les dues memòries ROM, realitzar el disseny d'aquest subsistema.

• Problema 28:

Es considera el disseny d'un sistema digital que té com a entrades els senyals **clk**, **clearn**, i **data_in** i com a sortida un senyal anomenat **data_out**. El senyal **clk** és el senyal de rellotge global del sistema. El senyal **clearn** (actiu a nivell baix) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal **data_in** és un senyal d'una freqüència d'1MHz i modulad en

amplada, de manera que els valors possibles pel seu cicle de treball són 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80% i 90%. Aquest senyal **data_in** ja està sincronitzat amb el senyal de rellotge **clk**.

El sistema haurà de proporcionar sobre la seva sortida **data_out** un senyal modulats en posició de la mateixa freqüència que el senyal **data_in**. És a dir, **data_out** serà un pols d'una durada d'un període del senyal de rellotge **clk**, i el moment en el qual es genera aquest pols dins del seu període dependrà del cicle de treball del senyal **data_in**.

En aquestes condicions es demana:

- h) Indicar de forma raonada quina haurà de ser la freqüència mínima del senyal de rellotge **clk**.
- i) Tenint en compte el resultat de l'apartat a) i utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet generar un senyal, anomenat **codi(3:0)**, el valor del qual indicarà el cicle de treball del senyal **data_in**. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- j) Utilitzant el sistema dissenyat a l'apartat b) i afegint el mateix tipus de components combinacionals i seqüencials permesos anteriorment, representar el circuit que permet implementar la funcionalitat desitjada pel sistema.

• Problema 29:

Es considera el disseny d'un sistema digital que té com a entrades els senyals **clk**, **clearn**, **enable**, **dist**, i **dc** i com a sortides dos senyals anomenats **senyal_A** i **senyal_B**. El senyal **clk** és el senyal de rellotge global del sistema, i té una freqüència de 100 MHz. El senyal **clearn** (actiu a nivell baix) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal **enable** (actiu a nivell alt) habilita el funcionament del sistema. La sortida del sistema, **senyal_A**, és un senyal de freqüència 1 MHz i cicle de treball variables. L'entrada **dc**, amb una amplada de 2 bits, determina el cicle de treball de la sortida **senyal_A**. La relació entre el contingut d'aquesta entrada i el cicle de treball de la sortida és la que es mostra a la següent taula:

dc	Cicle de treball de senyal_A
00	20 %
01	40 %
10	60 %

Nota: Es considerarà que el senyal **dc** mai pot tenir el valor "11"

La sortida **senyal_B** és un senyal de la mateixa freqüència que el senyal **senyal_A**, i el seu nivell lògic és oposat al d'aquest senyal. A més, els flancs d'aquests dos senyals estan separats per un número de cicles de rellotge **clk** que depèn del valor de l'entrada **dist**, de dos bits, tal i com es mostra a la taula següent:

<i>dist</i>	Separació entre els flancs dels senyals de sortida
00	1
01	2
10	3
11	4

En aquestes condicions es demana:

- k) Indicar de forma raonada quin és el cicle de treball mínim de la sortida *senyal_B*.
- l) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el sistema proposat. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.

• Problema 30:

Es considera el disseny d'un sistema digital que té com a entrades els senyals *clk*, *clearn*, i *data_in* i com a sortida un senyal anomenat *pwm_out*. El senyal *clk* és el senyal de rellotge global del sistema, amb una freqüència de 80 MHz. El senyal *clearn* (actiu a nivell baix) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal *data_in* és un senyal que pot tenir una freqüència compresa entre 5 MHz i 10 MHz.

El sistema haurà de proporcionar sobre la seva sortida *data_out* un senyal amb una freqüència de 800 KHz i modulada en amplada, de forma que el cicle de treball d'aquest senyal sigui igual (en %) al factor pel qual la freqüència del senyal *clk* és més gran que la freqüència del senyal *data_in*.

En aquestes condicions es demana:

- a) Si per determinar el quantes vegades és més gran la freqüència del senyal *clk* que la del senyal *data_in* es realitzen mesures durant 16 períodes del senyal *data_in*, indicar quina haurà de ser l'amplada (en bits) dels comptadors que cal utilitzar.
- b) Tenint en compte el resultat de l'apartat a) i utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet generar un senyal, anomenat *factor*, el valor del qual indicarà el nombre de vegades que la freqüència del senyal *clk* és superior a la freqüència del senyal *data_in*. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- c) Utilitzant el sistema dissenyat a l'apartat b) i afegint el mateix tipus de components combinacionals i seqüencials permesos anteriorment, representar el circuit que permet implementar la funcionalitat desitjada pel sistema.

• Problema 31:

Es tracta de dissenyar un sistema capaç de generar a la seva sortida un senyal sinusoidal discret, anomenat **data_out**, modulad en freqüència i en fase. La modulació que tindrà el senyal de sortida dependrà d'un senyal d'entrada, anomenat **data_in**. Aquest senyal té una freqüència d'1 MHz, i el seu cicle de treball pot ser 20 %, 40 %, 60 % o 80 %. La relació entre el cicle de treball del senyal **data_in** i la freqüència i fase del senyal **data_out** és la que es mostra a la taula següent:

DC	Freqüència data_out	Fase data_out
20 %	f_{\max}	45°
40 %	f_{\max}	90°
60 %	$f_{\max}/2$	135°
80 %	$f_{\max}/2$	180°

El sistema a dissenyar disposarà de tres entrades, anomenades **clk**, **reset** i **data_in**, i de dues sortides, **data_out(9:0)** i **signe**. L'entrada **clk** és el rellotge global del sistema, té una freqüència de 50 MHz i actua sobre els elements de memòria del sistema amb el seu flanc de pujada. L'entrada **reset** es correspon al reset global del sistema, que actua de forma síncrona i és actiu a nivell alt. L'entrada **data_in** és el senyal modulad en amplada. El senyal **data_out(9:0)** es genera a partir d'una memòria ROM de 16 paraules de 10 bits que conté un quart de període del senyal $\sin(x)$. La sortida **signe** indica el signe corresponent al senyal **data_out**.

En aquestes condicions es demana:

- Indicar de forma raonada quina és la freqüència màxima, f_{\max} , del senyal **data_out**.
- Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el sistema que permet generar un senyal, anomenat **codi(1:0)**, a partir del senyal **data_in**. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset. El valor del senyal **codi** en funció del cicle de treball del senyal **data_in** és el que es mostra a la taula següent:

DC	codi(1:0)
20 %	00
40 %	01
60 %	10
80 %	11

- Utilitzant el sistema dissenyat a l'apartat b) i els mateixos tipus d'elements combinacionals i seqüencials, representar el sistema que permet implementar la funcionalitat desitjada. Per gestionar la memòria ROM només caldrà generar el seu bus d'adreces d'entrada. El bus de dades de sortida d'aquesta memòria serà directament el senyal **data_out**.

• Problema 32:

En un bus AMBA, la transferència bàsica per a un determinat esclau es mostra en el cronograma de la figura 1, on totes les accions es produeixen amb el flanc de pujada del senyal CLK.

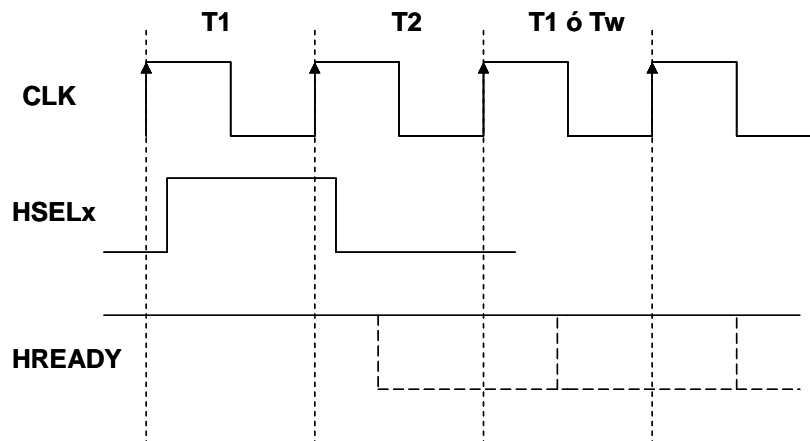


Figura 1

El funcionament és el següent:

1. Amb el flanc de pujada de T1 comença el cicle màquina.
2. Al començament del cicle màquina, el descodificador associat al bus d'adreces (no mostrat a la figura) emet el senyal de selecció del esclau en qüestió HSELx.
3. Amb el flanc de pujada de T2, l'esclau detecta el senyal HSELx i pot fer dues coses:
 - 3.1. Si pot donar les dades (no mostrades a la figura) per ser llegides pel mestre amb el flanc de pujada del següent T1, posa les dades al bus i manté el senyal HREADY a nivell alt.
 - 3.2. Si no té les dades a punt, posa el senyal HREADY a nivell baix a temps perquè el mestre el llegeixi amb el flanc de pujada del següent període de CLK, que ara no serà T1 sinó Tw (un estat d'espera). Aquest procés continua fins que té les dades a punt, moment en el qual posa el senyal HREADY a nivell alt i les dades al bus de manera que el mestre, en el següent flanc de pujada de CLK trobarà HREADY a nivell alt, llegirà les dades i començarà un nou cicle màquina.

Volem dissenyar un sistema que generi el senyal HREADY. Aquest sistema serà genèric, de manera que tots els esclaus que hi hagi connectats al bus en tinguin un. Aquest sistema ha de poder generar fins a 8 estats d'espera (Tw) de manera que cada esclau estigui programat, d'acord amb la seva velocitat, per generar els que li convinguin.

Per realitzar el sistema hem pensat amb utilitzar un registre de desplaçament programable com el de la figura 2.

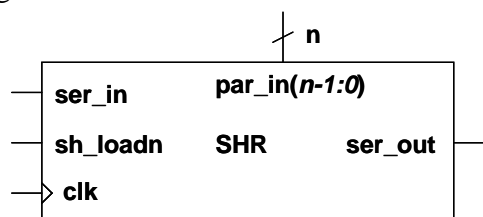


Figura 2

clk: Senyal de rellotge, actiu per flanc de pujada.

sh_loadn: Senyal de selecció entre desplaçament i càrrega. Quan es troba a nivell alt, el registre es desplaça a cada flanc de pujada de **clk**. Quan està a nivell baix, el registre es programa en paral·lel d'acord amb les entrades **par_in(n-1:0)** de manera asíncrona.

par_in(n-1:0): Entrada de càrrega paral·lel de **n** bits.

ser_in: Entrada sèrie del registre de desplaçament.

ser_out: Sortida sèrie del registre de desplaçament.

Es demana:

1. Quan ha de valer **n**
2. Dissenyar el sistema per realitzar la funció indicada.
3. Fer una taula on s'indiqui el valor de **par_in(n-1:0)** en funció del nombre d'estats d'espera desitjats.
4. Quin valor ha de tenir **par_in(n-1:0)** quan s'inicia el sistema.
5. Tenint en compte que cada esclau tindrà un sistema com el dissenyat i que el mestre té una única entrada HREADY, indiqui com connectaria les sortides dels diferents esclaus a l'entrada del mestre i quin tipus de senyalització seria necessària.

• Problema 33:

Es considera un sistema com el representat a la figura 1.

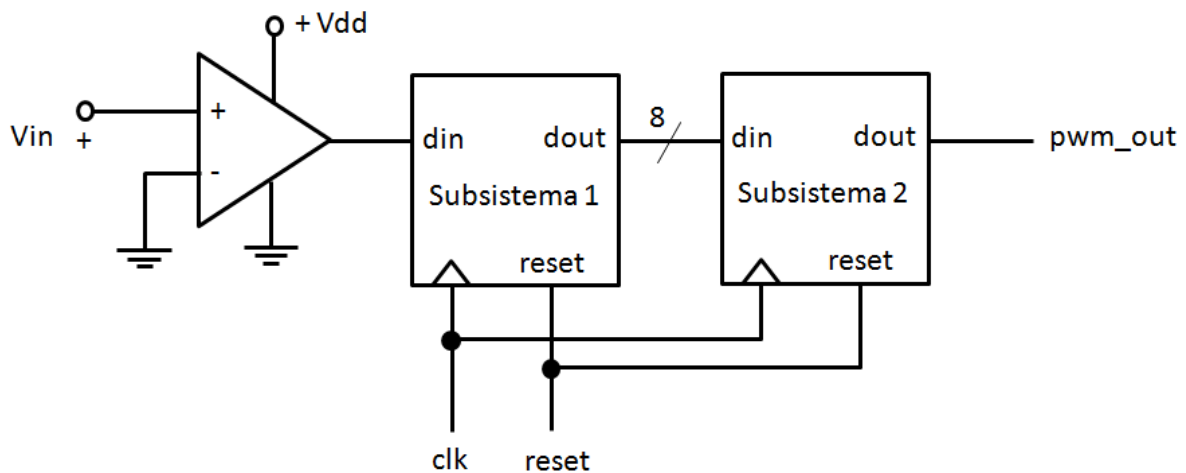


Figura 1.

El senyal **clk** és el senyal de rellotge global del sistema i té una freqüència de 50 MHz. El senyal **reset** (actiu a nivell alt) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. El senyal **Vin** és un senyal sinusoidal de freqüència variable i offset de 0 V la fase del qual no té cap relació amb el senyal **clk**.

El subsistema 1 s'encarrega de mesurar el període del senyal **Vin**, mentre que el subsistema 2 s'encarrega de traduir aquesta mesura de període en un senyal modulad en amplada.

En aquestes condicions es demana:

- a) Si el senyal *dout* del subsistema 1 pot prendre valors compresos entre 0x01 i 0xFF i aquests valors són directament proporcionals a la durada d'un **semiperíode** del senyal *Vin*, indicar de forma raonada quins són els valors de freqüència màxima i mínima mesurables d'aquest senyal.
- b) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el subsistema 1. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- c) Si el cicle de treball del senyal *pwm_out* varia en funció del valor del senyal *dout* proporcionat pel subsistema 1 i tots els valors d'aquest senyal produeixen un cicle de treball diferent, indicar de forma raonada quina és la freqüència màxima del senyal *pwm_out* si quan el senyal *dout* proporcionat pel subsistema 1 té un valor de 0xFF el seu cicle de treball és del 40 %,.
- d) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el subsistema 2. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.

• Problema 34:

Es tracta de dissenyar un sistema capaç de generar a la seva sortida un senyal sinusoidal discret, anomenat *data_out*, modulad en fase. La modulació que tindrà el senyal de sortida dependrà d'un senyal d'entrada, anomenat *data_in*. Aquest senyal té una freqüència d'1 MHz, i el seu cicle de treball pot variar de forma contínua entre el 25% i el 75%. Quan el cicle de treball del senyal *data_in* sigui del 25 % el desfasament del senyal *data_out* serà de 0°, i quan el cicle de treball del senyal *data_in* sigui del 75 % el desfasament del senyal *data_out* serà de 45°. El desfasament del senyal *data_out* variarà de forma lineal entre aquests dos valors extrems en funció del cicle de treball del senyal *data_in*.

El sistema a dissenyar disposarà de tres entrades, anomenades *clk*, *reset* i *data_in*, i de dues sortides, *data_out(9:0)* i *signe*. L'entrada *clk* és el rellotge global del sistema, té una freqüència de 100 MHz i actua sobre els elements de memòria del sistema amb el seu flanc de pujada. L'entrada *reset* es correspon al reset global del sistema, que actua de forma síncrona i és actiu a nivell alt. L'entrada *data_in* és el senyal modulad en amplada i està generat a partir d'un senyal de rellotge que no té cap relació ni en freqüència ni en fase amb el senyal *clk*. El senyal *data_out(9:0)* es genera a partir d'una memòria ROM de 200 paraules de 10 bits que conté un quart de període del senyal $\sin(x)$. La sortida *signe* indica el signe corresponent al senyal *data_out* (un valor 0 indica signe positiu, mentre que un valor 1 indica signe negatiu).

En aquestes condicions es demana:

- a) Indicar de forma raonada quina és la freqüència màxima del senyal *data_out*.
- b) Indicar de forma raonada quin és el desfasament mínim que es pot afegir al senyal *data_out*.
- c) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus,

representar el sistema que permet generar un senyal, anomenat *fase(5:0)*, a partir del senyal *data_in*. Aquest senyal indicarà el desfasament que haurà de tenir el senyal *data_out*. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.

- d) Utilitzant el sistema dissenyat a l'apartat c) i els mateixos tipus d'elements combinacionals i seqüencials, representar el sistema que permet implementar la funcionalitat desitjada. Per gestionar la memòria ROM només caldrà generar el seu bus d'adreces d'entrada. El bus de dades de sortida d'aquesta memòria serà directament el senyal *data_out*.

• Problema 35:

Es considera el disseny d'un sistema digital que té com a entrades els senyals *clk*, *reset*, *A* i *B* i com a sortida un senyal anomenat *pwm_out*. El senyal *clk* és el senyal de rellotge global del sistema, amb una freqüència de 10 MHz. El senyal *reset* (actiu a nivell alt) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. Els senyals *A* i *B* tenen una freqüència d'1 MHz i un cicle de treball del 50 %. El senyal *B* sempre està endarrerit respecte al senyal *A*, i el seu desfasament màxim respecte al senyal *A* és de 180°. En aquestes condicions es demana:

- a) Determinar quin és el valor mínim (diferent de zero) de desfasament entre els senyals *A* i *B* que és capaç de detectar el sistema.
- b) Utilitzant registres de qualsevol tipus i amplada, comptadors binaris síncrons de qualsevol tipus i amplada i funcions combinacionals de qualsevol tipus, representar el circuit que permet generar dos senyals, anomenats *fase_zero* i *fase*. El senyal *fase_zero* s'activarà a '1' quan el desfasament entre els senyals *A* i *B* sigui zero (o inferior al desfasament mínim que el sistema és capaç de detectar). El senyal *fase* (l'amplada del qual s'haurà d'indicar de forma raonada) indicarà la diferència de fase entre els senyals *A* i *B*. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- c) Quan la diferència de fase entre els senyals *A* i *B* sigui zero (o inferior al desfasament mínim que el sistema és capaç de detectar) el senyal de sortida *pwm_out* tindrà una freqüència de 200 KHz i un cicle de treball del 50 %. Quan la diferència de fase entre els senyals *A* i *B* sigui diferent de zero el senyal de sortida *pwm_out* tindrà una freqüència de 100 KHz i un cicle de treball que variarà de forma lineal amb el desfasament entre els senyals *A* i *B* fins a un valor màxim del 50 %. Utilitzant el subsistema dissenyat a l'apartat b) i fent servir el mateix tipus d'elements combinacionals i seqüencials indicats anteriorment, representar el circuit que permet dur a terme la funció especificada. **Nota:** Els valors de freqüència i cicle de treball del senyal *pwm_out* han de ser constants durant tot un període d'aquest senyal.

• Problema 36:

Es considera un sistema com el representat a la figura 1.

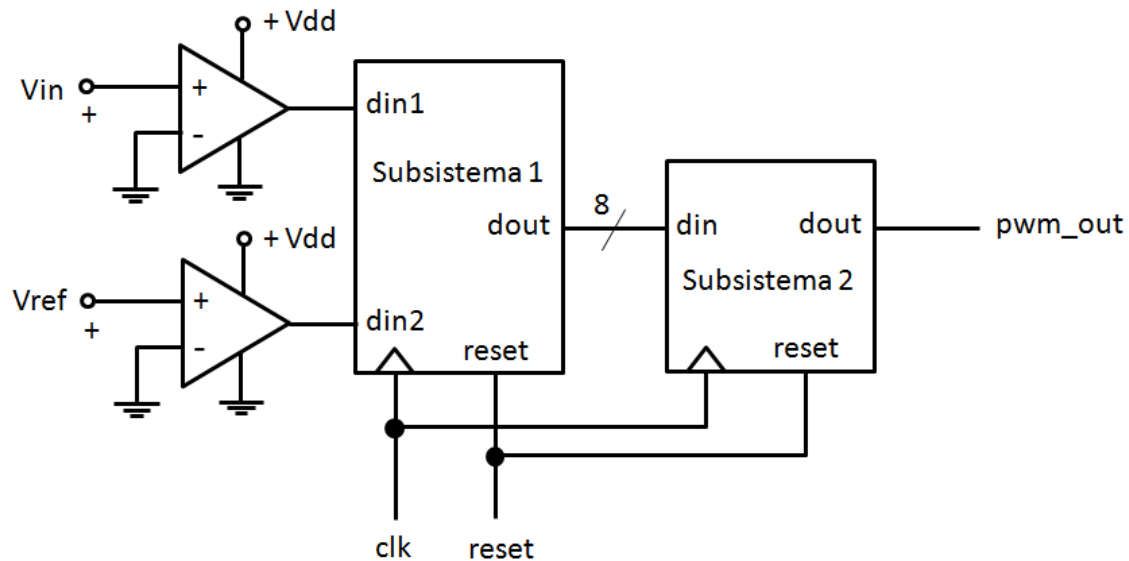


Figura 1.

El senyal **clk** és el senyal de rellotge global del sistema i té una freqüència de 50 MHz. El senyal **reset** (actiu a nivell alt) és el senyal de reset global del sistema, i actua de forma síncrona sobre tots els seus elements seqüencials. Els senyals **Vin** i **Vref** són senyals sinusoidals de freqüència 1 MHz i offset de 0 V la fase dels quals no té cap relació amb el senyal **clk**. El senyal **Vin** està sempre avançat respecte al senyal **Vref**. El subsistema 1 s'encarrega de mesurar la diferència de fase entre els senyals **Vin** i **Vref**, mentre que el subsistema 2 s'encarrega de traduir aquesta mesura en un senyal modulad en amplitud.

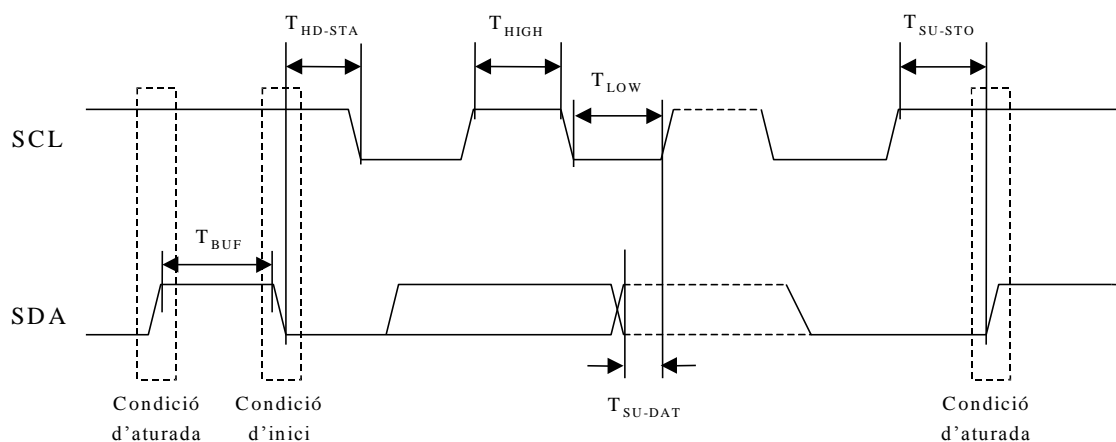
En aquestes condicions es demana:

- Indicar de forma raonada quina és la diferència de fase mínima que és capaç de detectar aquest sistema.
- Utilitzant registres de qualsevol tipus i amplitud, comptadors binaris síncrons de qualsevol tipus i amplitud i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el subsistema 1. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.
- Si el cicle de treball del senyal **pwm_out** varia en funció del valor del senyal **dout** proporcionat pel subsistema 1 i tots els valors d'aquest senyal produeixen un cicle de treball diferent, indicar de forma raonada quina és la freqüència màxima del senyal **pwm_out** si quan el senyal **dout** proporcionat pel subsistema 1 té un valor de 0xFF el seu cicle de treball és del 80 %.
- Utilitzant registres de qualsevol tipus i amplitud, comptadors binaris síncrons de qualsevol tipus i amplitud i funcions combinacionals de qualsevol tipus, representar el circuit que permet implementar el subsistema 2. Tots els elements seqüencials hauran de tenir identificades i correctament connectades les seves entrades d'habilitació (si s'escau) i de reset.

TEMA 4

• Problema 37:

Es considera un sistema multi-màster que treballa segons les especificacions del protocol sèrie I²C. En aquest sistema, la freqüència del senyal de rellotge del bus SCL és de 100 KHz, la resistència de pull-up R_p de les dues línies del bus és d'1 K Ω , i està alimentada a 5 V. En aquestes condicions, si es suposa que el canvi sobre la línia de dades SDA es produeix immediatament després del flanc de baixada del senyal SCL, i que el temps de *setup* del protocol (T_{SU-DAT} de la figura adjunta) és de 250 ns, es demana:



- 1) Determinar el valor màxim de la capacitat de les línies del bus, C_c , per tal que el senyal de dades hagi arribat a un 90 % del seu valor final abans del temps de *setup* del bus.
- 2) Si a la tecnologia amb la qual es treballa té una tensió d'entrada mínima a nivell alt de $V_{IHmin} = 2.0$ V, determinar igualment el valor de l'esmentada capacitat si es tracta de detectar correctament els valors lògics sobre el bus ***amb el flanc de pujada del senyal SCL i un marge de soroll de 0.4 V.***

Per tal d'evitar possibles problemes a la detecció dels valors lògics sobre la línia SDA i augmentar el valor de la capacitat màxima tolerable, volem incloure en els perifèrics un sistema de mostreig que sigui capaç de capturar les dades al punt mig del semiperíode positiu del senyal SCL. Tenint en compte que el perifèric treballa amb una freqüència de rellotge de 4 MHz, es demana:

- 3) Descriure breument una sol·lució que respecti els principis del disseny síncron.
- 4) Realitzar el disseny d'un sistema que sigui capaç de generar un pols d'habilitació d'amplada 250 ns (un període del senyal de rellotge de 4 MHz) centrat al semiperíode positiu del senyal SCL.

• Problema 38:

Les línies de *backplane* d'un determinat *bus* tenen les següents característiques :

- $Z_0 = 60 \Omega$
- $t_0 = 6 \text{ ns/m}$

La resta de les característiques rellevants del esmentat *bus* son:

- Pas entre plaques = 20 mm
- Capacitat màxima per placa $C_{L\max} = 10 \text{ pF}$ (tot inclós)
- Terminació del *bus* segons la figura 1
- Tensió del *bus* en repós $V_H = 2.5 \text{ V}$
- Drivers del *bus*: $I_{OL\max} = 64 \text{ mA}$

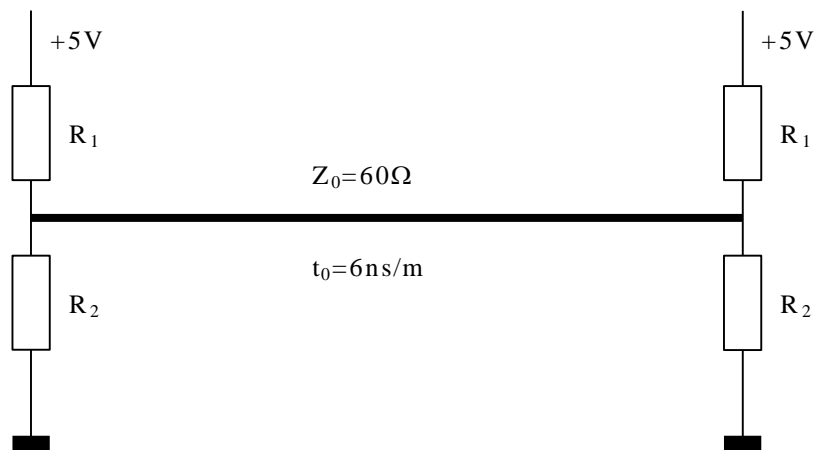


Fig. 1

Calcular els valor de R_1 i R_2 suposant que el valor de tensió al *bus* per que els receptors connectats interpretin un nivell baix és de $V_L = 1.5 \text{ V}$ ($\Delta V = -1 \text{ V}$) i que la transició s'ha de produir a la primera reflexió.

Suggestiments:

Calcular la impedància amb càrrega de la línia, el coeficient de reflexió, la resistència de terminació R_t i finalment els valors de R_1 i R_2 .

Expressions:

$$Z_0 = \sqrt{L_0/C_0} ; t_0 = \sqrt{L_0 \cdot C_0} ; f_L = \sqrt{1 + C_L/C_0} ; \Delta V = I \cdot \frac{Z_L}{2} ; \rho = \frac{R_t - Z_0}{R_t + Z_0}$$

• Problema 39:

La figura 1 mostra els nivells elèctrics teòrics de les línies d'un bus CAN com el de la figura 2.

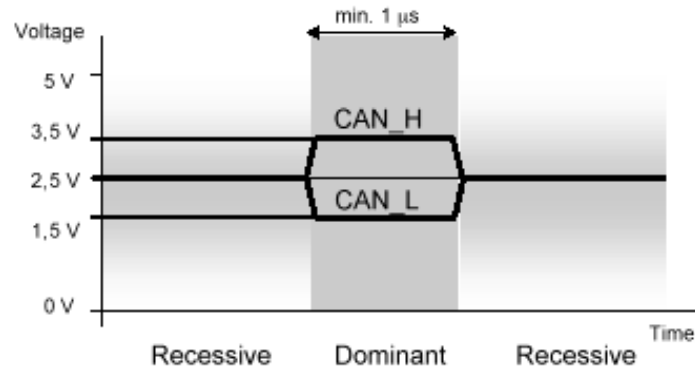


Figura 1

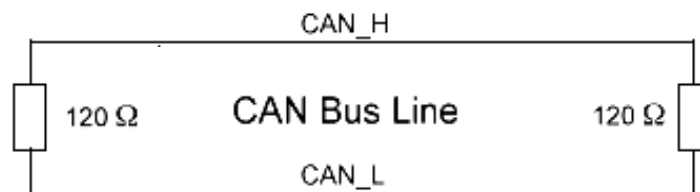


Figura 2

Aquests nivells poden resultar alterats principalment per tres causes:

- Caiguda de tensió en els conductors de la línia.
- Soroll en mode diferencial. Afecta el valor de tensió d'una de les línies
- Soroll en mode comú. Afecta el valor de tensió de les dues línies per igual.

Els valors mínims necessaris a la entrada dels receptors són:

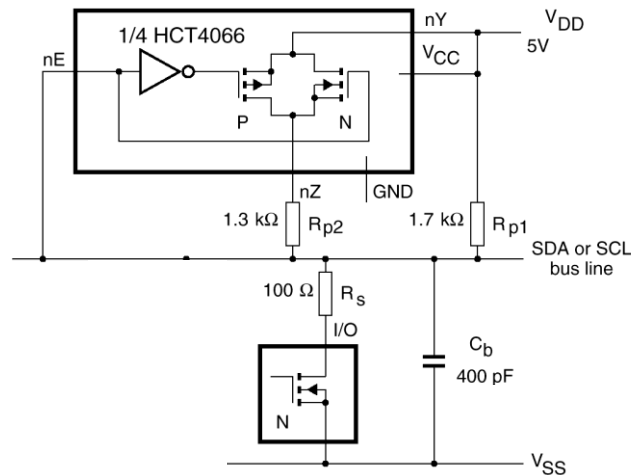
- Nivell recessiu: $CANH - CANL < 0.5V$
- Nivell dominant: $CANH - CANL > 0.9V$

Calcular el valor màxim permés, per tal de que el bus encara funcioni correctament per:

1. La caiguda de tensió, suposant que és simètrica, en cadascun dels conductors de la línia.
2. L'amplitud màxima del soroll en mode diferencial.
3. L'amplitud màxima del soroll en mode comú.

• Problema 40:

A la figura es mostra un mètode per accelerar el canvi entre els nivells BAIX i ALT en un bus I2C. Quan el circuit auxiliar s'activa, els dos MOSFET posen la resistència R_{p2} en paral·lel amb R_{p1} , la qual cosa disminueix la constant de temps de càrrega de la capacitat C_b del BUS. D'alta banda, la resistència R_s en sèrie amb el *driver* del BUS aixeca el nivell BAIX a la vegada que limita el corrent pel MOSFET en les commutacions.



Amb els valors de la figura, i suposant de moment que el circuit auxiliar no actúa, calcular:

1. El nivell de tensió del BUS amb el *driver* activat (nivell BAIX)
2. Suposant que la tensió mínima al BUS pel nivell ALT és de 2V, calcular el temps necessari per a una transició BAIX-ALT.
3. Si ara considerem que el circuit auxiliar actúa quan la tensió en el BUS és 0.8V, calcular el nou temps necessari per a una transició BAIX-ALT.

NOTA: Suposar en tot moment que la resistència dels MOSFET, tant del circuit auxiliar com del *driver*, és menyspreable.

• Problema 41:

Una línia de bus d'impedància $Z_0 = 60 \Omega$ i retard de propagació $t_0 = 6 \text{ ns/m}$ té connectat un *driver* capaç de donar 48 mA de corrent de sortida. Es demana:

- a) El valor de la inductància L' i de la capacitat C' (per unitat de longitud) de la línia.
- b) Quin és l'increment de tensió a la línia quan s'activa el *driver*, suposant que es connecta a un extrem?
- c) I si el connectem al mig?

- d) Si l'increment mínim necessari per canviar de nivell lògic és de 2 V, determinar en ambdós casos el valor de la resistència de terminació de la línia per tal que es produeixi un canvi de nivell.
- e) Indicar, si n'hi ha, la diferència entre les dues situacions.

NOTA:

$$Z_0 = \sqrt{\frac{L'}{C'}} ; t_0 = \sqrt{L'C'} ; \rho = \frac{R_L - Z_0}{R_L + Z_0}$$

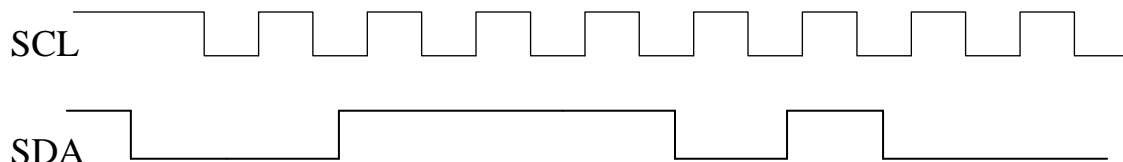
• Problema 42:

Suposem dos dispositius interconnectats mitjançant un bus sèrie d'acord amb el protocol I²C. Cada dispositiu disposa d'una adreça que servirà per identificar-lo dins del bus, i de dos registres de 8 bits: un registre de sortida, que contindrà el valor a enviar, i un registre d'entrada, que contindrà el darrer valor que el dispositiu hagi rebut.

Els valors inicials d'aquests registres pels dos dispositius connectats al bus són els següents (el símbol 0x indica que els dos dígitos que s'especifiquen a continuació estan donats en base hexadecimal, és a dir 0x3A = 58 decimal):

	Adreça	Registre entrada	Registre sortida
Dispositiu 1	0x3A	0x00	0xFB
Dispositiu 2	0x4C	0x00	0xA0

Amb aquestes condicions, si a les dues línies del bus apareix la següent seqüència de senyals:



es demana:

- Completar de forma raonada la seqüència anterior fins al final de la transacció.
- Indicar els continguts dels registres de dades (entrada i sortida) dels dos dispositius una vegada finalitzada aquesta transacció.
- Si les resistències de *pull-up* utilitzades en cada línia del bus s'alimenten a 5 V i la capacitat de les línies del bus és $C_b = 100$ pF (la seva resistència es pot considerar menyspreable), determinar el seu valor màxim tenint en compte que:
 - Els *drivers* encarregats de generar els valors lògics sobre el bus tenen una tensió de sortida de 0.2V quan estan actuals.
 - El valor de tensió d'entrada mínim a nivell alt és $V_{IHmin} = 3.0$ V
 - Els temps de pujada i baixada màxims, tant per SCL com per SDA, son de 1000 i 300 ns respectivament.

• Problema 43:

En un bus CAN com el de la figura 1, els transmissors són capaços de donar 30 mA.

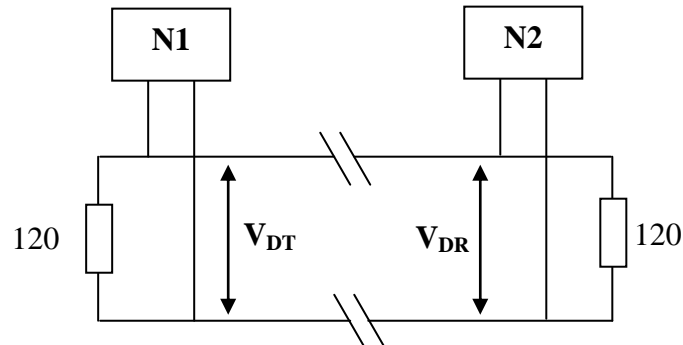


Figura 1

Calcular la longitud màxima de cable si s'utilitza un parell trenat on cadascun dels fils té una resistivitat de $50 \Omega/\text{Km}$. Suposar que la resistència del cable es pot menysprear per calcular V_{DT} i que V_{DR} ha de ser 0.9 V com a mínim.

Amb aquesta longitud i considerant que el retard del parell trenat és de 5 ns/m i els retards del transmissor i del receptor són menyspreables, quina serà la velocitat màxima de transmissió si la estructura de bit és la de la figura 2.

Syn	TSEG1	TSEG2
c	5	4

Figura 2

• Problema 44:

Tenim un transmissor i un receptor units per una línia de transmissió tal com s'indica a la figura 1.

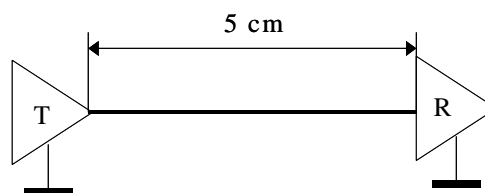


Figura 1

El transmissor es pot considerar com un generador de corrent en sèrie amb una resistència de 10 ohm i amb un corrent de sortida I_D en funció del temps com s'indica a la figura 2.

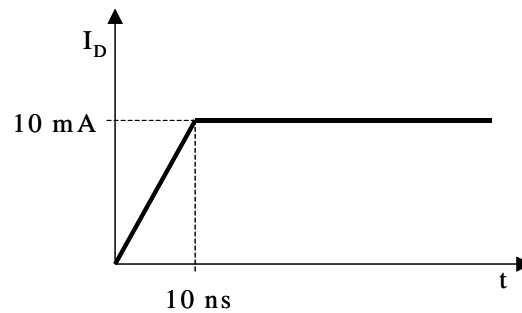


Figura 2

La línia de transmissió té els següents paràmetres:

$$Z_0 = 50 \, \Omega$$

$$t_0 = 5 \, \text{ns/m}$$

$$l = 5 \, \text{cm}$$

Finalment, la entrada del receptor es pot considerar com una capacitat de 10 pF. Amb tot això, el circuit de la figura 1 queda com es mostra a la figura 3.

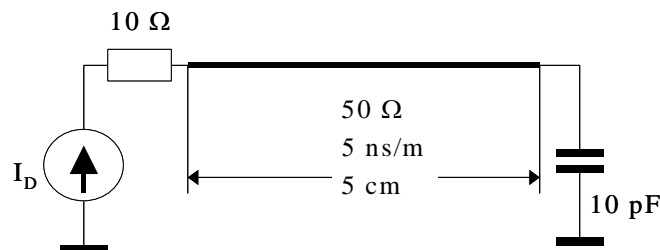


Figura 3

1. Calcular la capacitat i la inductància del tram de línia de transmissió entre transmissor i receptor.
2. Calcular l'expressió de I_D en funció del temps.
3. A la vista del circuit de la figura 3, calcular el temps que triga l'entrada del receptor en arribar a una tensió $V_{IH} = 2.4V$. Justificar l'aproximació emprada.
4. Fent servir la mateixa aproximació de la línia que a la pregunta anterior, calcular el temps que triga l'entrada del receptor en arribar a la tensió $V_{IH} = 2.4V$, si la línia ara té 15 cm de longitud.

• Problema 45:

Les línies de *backplane* d'un determinat *bus* tenen les següents característiques :

- $Z_0 = 100 \, \Omega$
- $t_0 = 5 \, \text{ns/m}$
- Pas entre plaques = 20 mm
- Capacitat màxima per placa $C_{L\max} = 6 \, \text{pF}$ (tot inclòs)
- Terminació del *bus* segons la figura 1
- Tensió del *bus* en repòs $V_H = 2.9 \, \text{V}$
- Drivers del *bus*: $I_{OL\max} = 64 \, \text{mA}$

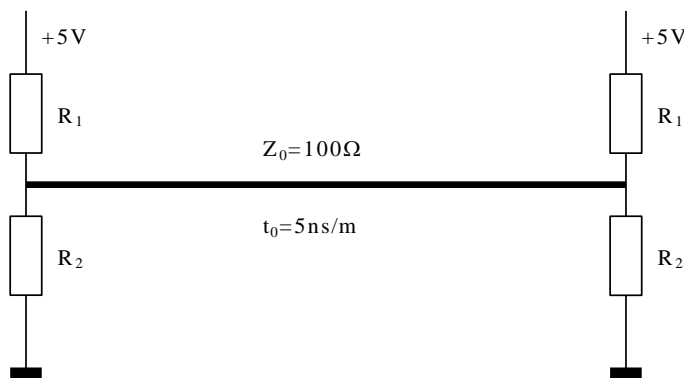


Fig. 1

Calcular els valors de R_1 i R_2 de la figura 1 suposant que el valor de tensió al bus per que els receptors connectats interpretin un nivell baix és de $V_L = 1V$ ($\Delta V = -1.9V$) i que la transició, en el pitjor cas, s'ha de produir a la primera reflexió.

Suggeriments:

Calcular la impedància amb càrrega de la línia, el coeficient de reflexió, la resistència de terminació R_t i finalment els valors de R_1 i R_2 .

Expressions:

$$Z_0 = \sqrt{L_0/C_0}; t_0 = \sqrt{L_0 \cdot C_0}; f_L = \sqrt{1 + C_L/C_0}$$

• Problema 46:

La figura 1 representa una part d'un sistema, realitzat sobre circuit imprès multicapa, on es consideren tres transmissors, T1, T2 i T3, i tres receptors R1, R2 i R3, connectats per

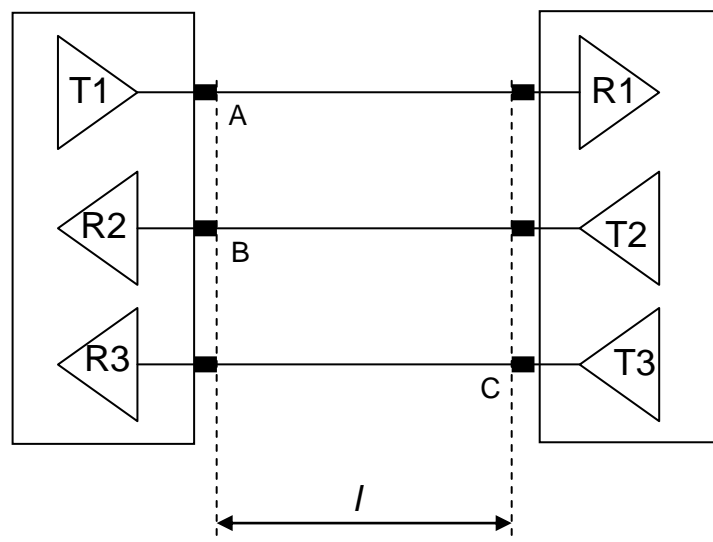


Figura 1

pistes iguals i de longitud l . El circuit imprès es pot considerar homogeni, de manera que l'acoblament capacitiu per unitat de longitud C_m' es igual al acoblament inductiu per unitat de longitud L_m' .

La figura 2 mostra la pantalla d'un oscil·loscopi amb els senyals dels punts A, C i B. El transmissor T2 no està actiu.

Si la base de temps és de 1ns/div. i la amplitud dels senyals és irrellevant, es demana:

1. Quina és la causa del senyal B
2. Quin element o elements del circuit el produeix.
3. Completar el senyal B fins a $t = 10\text{ns}$
4. Si la impedància de les tres pistes és de 50Ω i la capacitat per unitat de longitud és de 1pF/cm , calcular la longitud l .

Dades addicionals

Per una línia de transmissió sense pèrdues és:

$$Z_0 = \sqrt{\frac{L'}{C'}}$$

$$t_0 = \sqrt{L' \cdot C'}$$

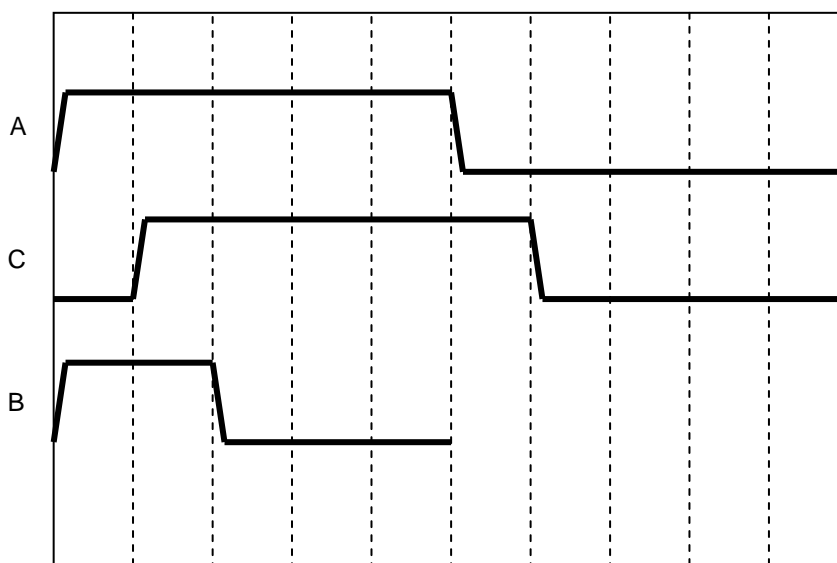


Figura 2

• Problema 47:

A la figura 1 es mostra un *driver* en drenador obert connectat a la línia SCL d'un bus I2C. Les seves característiques rellevants són:

$$\begin{array}{ll} I_{L\text{màx}} = 10 \text{ mA} & (\text{Corrent de sortida màxima}) \\ V_{L\text{màx}} = 200 \text{ mV} & (\text{Tensió de sortida màxima quan s'activa}) \end{array}$$

La resta dels valors són:

$$\begin{array}{l} V_{cc} = 5 \text{ V} \\ R_{pu} = 2 \text{ Kohm} \\ C_L = 400 \text{ pF} \end{array}$$

Suposant que C_L es descarrega a través del *driver* a corrent constant i de valor $I_{L\text{màx}}$, calcular el valor màxim de V_{SCL} i el temps t_L , suposant que el període de V_{in} és de $2 \mu\text{s}$ i que el seu cicle de treball és del 50%.

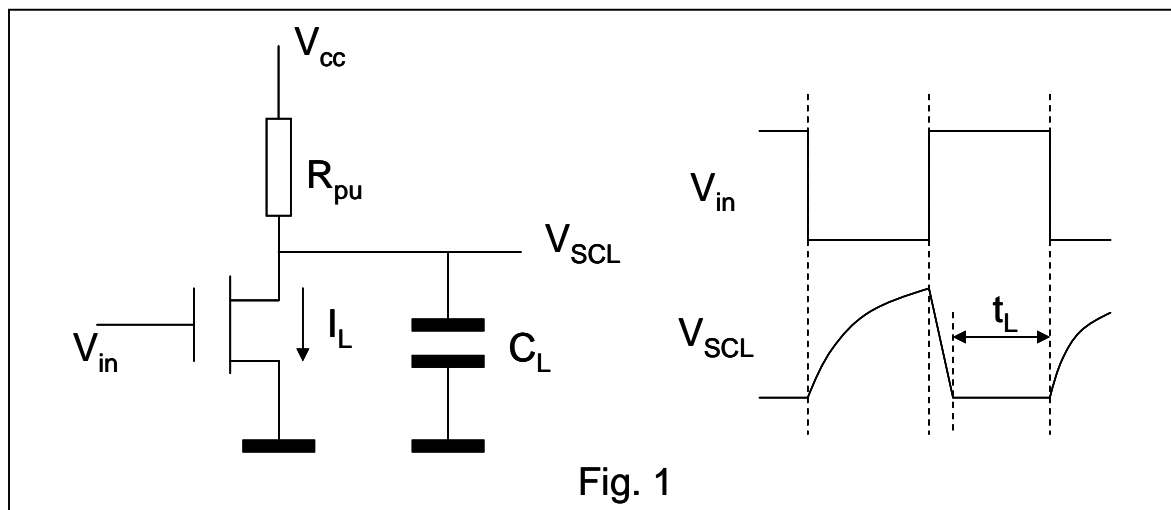


Fig. 1

• Problema 48:

Una línia de bus d'impedància $Z_0 = 50 \text{ ohm}$ i retard de propagació $t_0 = 5 \text{ ns/m}$ té connectat un *driver* capaç de donar 64 mA de corrent de sortida. Es demana:

1. El valor de la inductància L' i de la capacitat C' (per unitat de longitud) de la línia. (20%)
2. Quin és l'increment de tensió a la línia quan s'activa el *driver*, suposant que es connecta a un extrem? (20%)
3. I si el connectem al mig? (20%)
4. Si l'increment mínim necessari per canviar de nivell lògic és de 2 V , determinar en ambdós casos el valor de la resistència de terminació de la línia per tal que es produeixi un canvi de nivell. (40%)

NOTA:

$$Z_0 = \sqrt{\frac{L'}{C'}} ; t_0 = \sqrt{L'C'} ; \rho = \frac{R_L - Z_0}{R_L + Z_0}$$

• Problema 49:

La figura 1 mostra els nivells elèctrics teòrics de les línies del bus CAN.

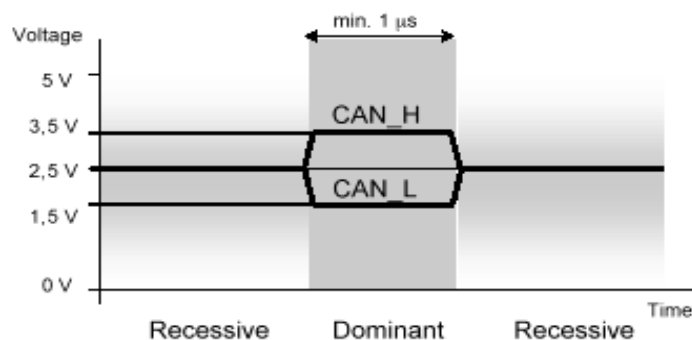


Figura 1

Els valors mínims necessaris a la entrada dels receptors són:

- Nivell recessiu: $CANH - CANL < 0.5V$
- Nivell dominant: $CANH - CANL > 0.9V$

1. Calcular els marges de soroll en mode diferencial per ambdós nivells.

• Problema 50:

En un bus CAN com el de la figura 1, on la línia que uneix els nodes té un retard de 5ns/m, la distància entre els dos nodes extrems és de 50m.

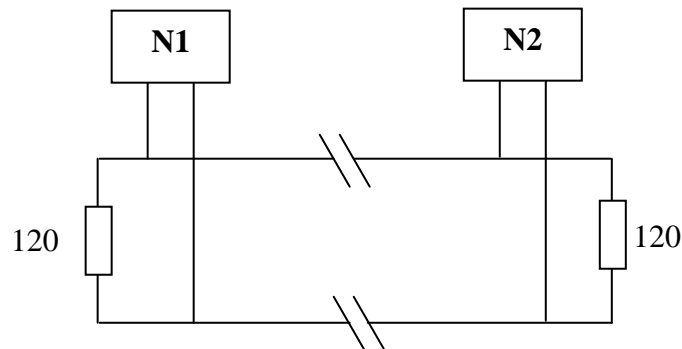


Figura 1

Entre aquests dos nodes es produeix un arbitratge no destructiu per aconseguir el control del bus, tal com es mostra a la figura 2, on "S" indica el bit de *start*.

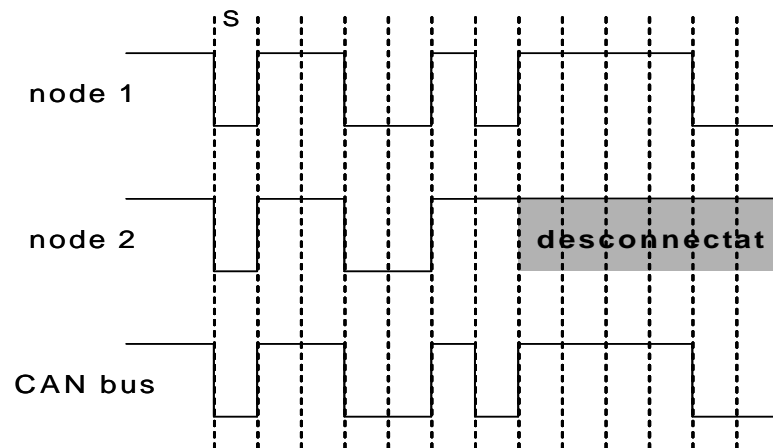


Figura 2

A la vista de la figura 2, es demana:

1. Explicar com funciona aquest arbitratge i per quin motiu el node 2 es desconnecta del bus.

- Explicar per quin motiu es pot produir una situació on dos (o més) nodes intentin agafar el bus, si cada un d'ells senyalitza amb el bit de *start* la ocupació i els altres no haurien de intentar transmetre si detecten el bus ocupat.

A la figura 3 es mostra l'estructura de bit d'aquest bus, on el numero que figura a sota del nom de cada segment representa el nombre de *quanta* que dura i l'instant de lectura del bit és l'instant que separa TSEG1 i TSEG2.

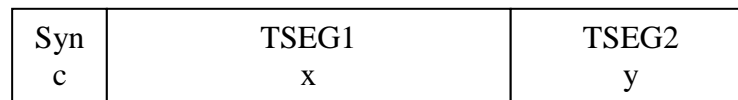


Figura 3

Si la velocitat de transmissió és de 1Mb/s, el retard dels transceptors dels nodes, tant en transmissió com en recepció és de 30ns, l'error de freqüència entre els rellotges dels diferents nodes és de $\pm 1.5\%$ i el nombre total de *quanta* de cada bit és de 8, es demana:

- Calcular, justificant la resposta, el valor de x i de y , suposant que la resincronització dels nodes es produeix només en el flanc *recessiu-dominant*, i que el màxim nombre de bits sense transició és de cinc, tal com s'indica a la figura 4.

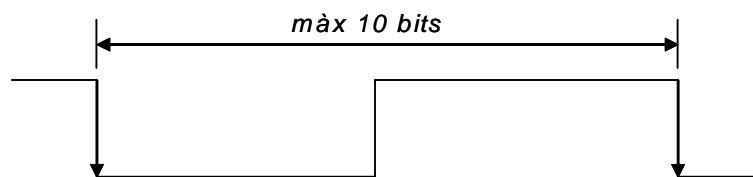


Figura 4

• Problema 51:

En un bus CAN com el de la figura 1, els transmissors de cada node es poden assimilar a fonts de corrent de valor $I_D = 34$ mA.

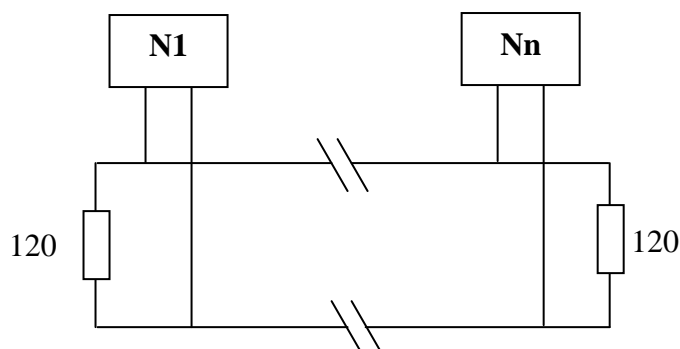


Figura 1

El cable del bus és un parell trenat i blindat d'impedància $Z_0 = 120 \Omega$ i retard per unitat de longitud $t_0' = 5.7 \text{ ns/m}$.

A la figura 2(a) es representa el circuit equivalent del cable amb les seves capacitats, on C' és la capacitat pròpia del cable i el valor de la capacitat entre el blindatge (connectat a GND) i cadascun dels conductors és de 25 pF/m . La tensió d'alimentació és $V_{DD} = 5\text{V}$.

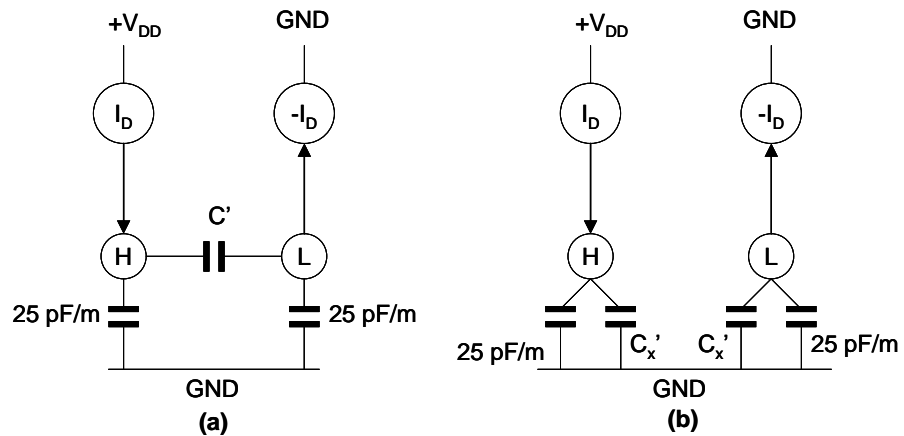


Figura 2

A la figura 2(b) es mostra el circuit modificat per simplificar els càlculs, suposant que el cable és perfectament simètric.

En aquestes condicions es demana:

- 1) Calcular el valor, en règim permanent, de la tensió de CAN-H i CAN-L en nivell recessiu.
- 2) Calcular el valor, en règim permanent, de la tensió de CAN-H i CAN-L en nivell dominant.
- 3) Calcular el valor de C' .
- 4) Calcular el valor de C_x' .
- 5) Suposant que la càrrega es produeix a corrent constant I_D , calcular el temps necessari per passar de nivell recessiu a dominant si el cable té 1m de longitud.
- 6) Suposant que la descàrrega es produeix a través de les resistències de terminació, calcular el temps necessari per passar del 90% al 10% en una transició dominant-recessiu si el cable té 1m de longitud.

• Problema 52:

En un bus CAN com el de la figura 1, on la línia que uneix els nodes té un retard de 5ns/m , considerem que entre els dos nodes extrems hi ha una separació de 100m .

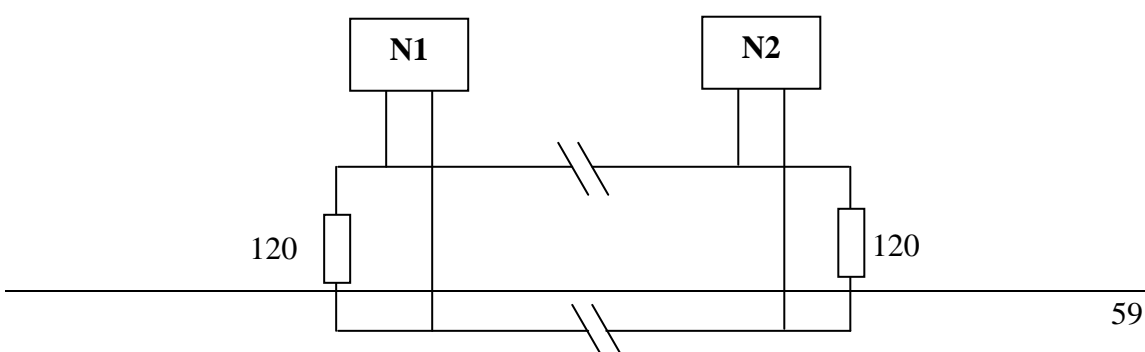


Figura 1

Entre aquests dos nodes es produeix un arbitratge no destructiu per aconseguir el control del bus, tal com es mostra a la figura 2, on “S” indica el bit de *start*.

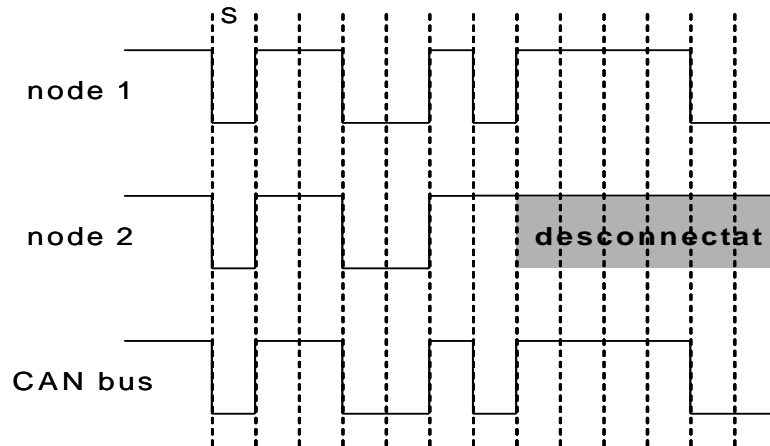


Figura 2

A la vista de la figura 2, es demana:

1. Explicar breument com funciona aquest arbitratge i per quin motiu el node 2 es desconnecta del bus.
2. Explicar breument per quin motiu es pot produir una situació on dos (o més) nodes intentin agafar el bus, si cada un d'ells senyalitza amb el bit de *start* la ocupació i els altres no haurien de intentar transmetre si detecten el bus ocupat.

A la figura 3 es mostra l'estructura de bit d'aquest bus, on el numero que figura a sota del nom de cada segment representa el nombre de *quanta* que dura i l'instant de lectura del bit és l'instant que separa **TSEG1** i **TSEG2**. Considerar que **TPROP** ha de absorbir els retards de propagació, **TSEG1** el retard del rellotge i **TSEG2** l'avançament del rellotge.

TSYN	TPROP	TSEG1	TSEG
C	x	y	2

Figura 3

La durada d'un *quantum* és de **125ns**, el retard de la línia, com ja s'ha dit, és de **5ns/m**, el retard dels transceptors dels nodes, tant en transmissió com en recepció és de **50ns**, l'error de freqüència màxim entre dos nodes qualsevol és de $\pm 1.5\%$ i la resincronització dels nodes es produeix només en el flanc *recessiu-dominant* és a dir, cada 10 bits en el pitjor cas, tal com s'indica a la figura 4.

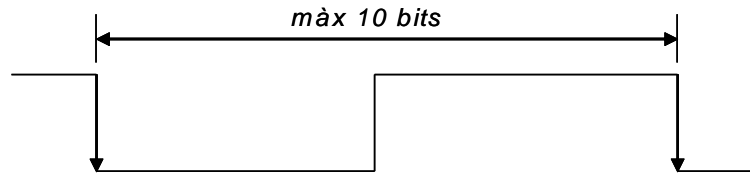
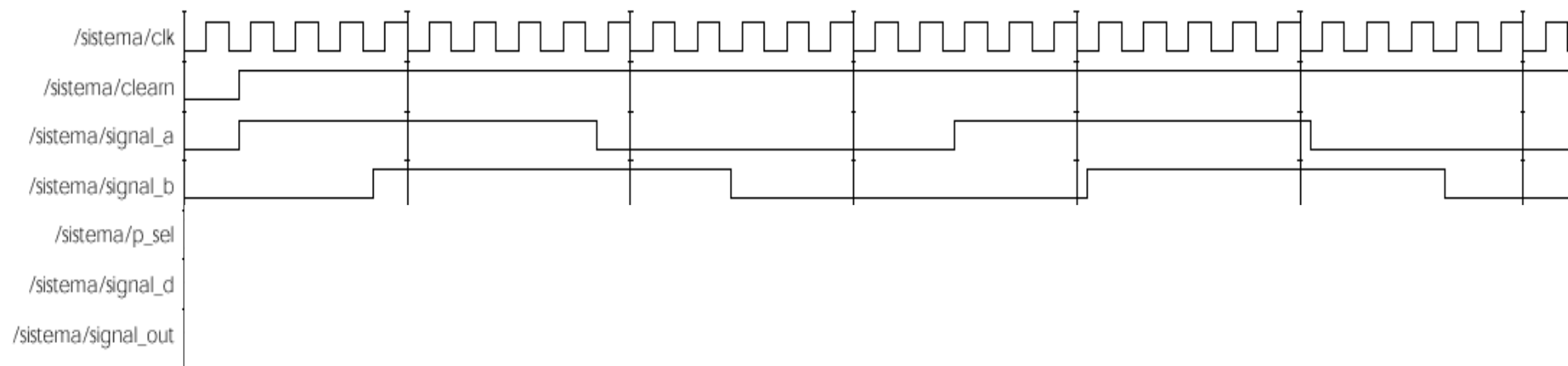


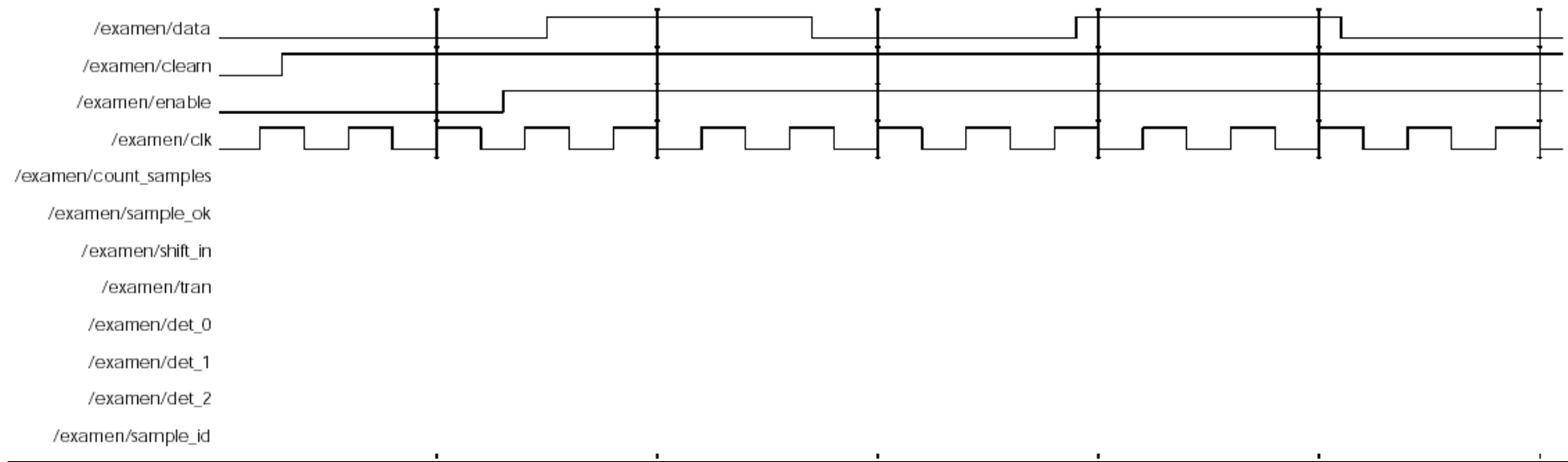
Figura 4

En aquestes condicions es demana:

3. Calcular el valor de x .
4. La relació entre y i z .
5. La relació entre z i el nombre total de quanta d'un bit Q_{bit} .
6. Considerant ara que tant x com y com z han de ser enters, calcular l'estructura de bit.
7. Calcular la velocitat de transmissió.

Cronograma corresponent al problema 6

Cronograma corresponent al problema 7



Cronograma corresponent al problema 8